

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 5 年 1 月 1 8 日

出 願 番 号  
Application Number: 特 願 2 0 0 5 - 0 1 0 2 0 2

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

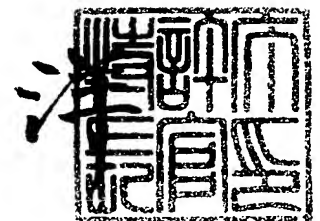
J P 2 0 0 5 - 0 1 0 2 0 2

出 願 人  
Applicant(s): 日 本 電 信 電 話 株 式 有 限 公 司

2 0 0 5 年 8 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



BEST AVAILABLE COPY

【官 報 名】 特 許 願  
【整理番号】 NTTH166638  
【提出日】 平成17年 1月18日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内  
    【氏名】 酒井 英明  
【発明者】  
    【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内  
    【氏名】 神 好人  
【発明者】  
    【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内  
    【氏名】 嶋田 勝  
【特許出願人】  
    【識別番号】 000004226  
    【氏名又は名称】 日本電信電話株式会社  
【代理人】  
    【識別番号】 100064621  
    【弁理士】  
    【氏名又は名称】 山川 政樹  
    【電話番号】 03-3580-0961  
【選任した代理人】  
    【識別番号】 100067138  
    【弁理士】  
    【氏名又は名称】 黒川 弘朗  
【選任した代理人】  
    【識別番号】 100098394  
    【弁理士】  
    【氏名又は名称】 山川 茂樹  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2004-214863  
    【出願日】 平成16年 7月22日  
【手数料の表示】  
    【予納台帳番号】 006194  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0205287

【請求項 1】

基板の上に形成された下部電極層と、  
この下部電極層の上に形成された強誘電体からなる所定の厚さの強誘電体層と、  
この強誘電体層の上に形成された上部電極と  
を少なくとも備え、  
前記強誘電体層は、少なくとも 2 つの金属を含んでいる  
ことを特徴とする強誘電体素子。

【請求項 2】

請求項 1 記載の強誘電体素子において、  
前記強誘電体層は、前記下部電極層と前記上部電極との間に印加された電気信号により  
抵抗値が変化する  
ことを特徴とする強誘電体素子。

【請求項 3】

請求項 2 記載の強誘電体素子において、  
前記強誘電体層は、  
第 1 電圧値以上の電圧印加により第 1 抵抗値を持つ第 1 状態となり、  
前記第 1 電圧とは極性の異なる第 2 電圧値以下の電圧印加により前記第 1 抵抗値より低い  
第 2 抵抗値を持つ第 2 状態となる  
ことを特徴とする強誘電体素子。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の強誘電体素子において、  
前記下部電極層は、前記基板の上に絶縁膜を介して形成されている  
ことを特徴とする強誘電体素子。

【請求項 5】

請求項 1 ～ 3 のいずれか 1 項に記載の強誘電体素子において、  
前記基板は導電性材料から構成されたものである  
ことを特徴とする強誘電体素子。

【請求項 6】

請求項 5 記載の強誘電体素子において、  
前記下部電極層と前記基板とは同一である  
ことを特徴とする強誘電体素子。

【請求項 7】

請求項 1 ～ 6 のいずれか 1 項に記載の強誘電体素子において、  
前記強誘電体は、ペロブスカイト構造、擬イルメナイト構造、タングステン・ブロンズ  
構造、ピスマス層状構造、及びバクローイア構造の少なくとも 1 つである  
ことを特徴とする強誘電体素子。

【請求項 8】

請求項 1 ～ 7 のいずれか 1 項に記載の強誘電体素子において、  
前記強誘電体層は、ピスマスとチタンと酸素とから構成され、ピスマス層状構造である  
ことを特徴とする強誘電体素子。

【請求項 9】

請求項 8 記載の強誘電体素子において、  
前記下部電極層は、  
ルテニウム、白金の少なくとも 1 つから構成され、  
同一材料による単層構造、複数材料による積層構造の少なくとも 1 つである  
ことを特徴とする強誘電体素子。

【請求項 10】

基板の上に下部電極層を形成する第 1 工程と、  
所定の組成比で供給された不活性ガスと酸素ガスとからなるプラズマを生成し、少なく

と、その金属から構成されたターゲットに負のバイアスを印加して前記ターゲットより発生した粒子を前記ターゲットに衝突させてスパッタ現象を起こし、前記ターゲットを構成する材料を前記下部電極層の上に堆積することで、2つの前記金属及び酸素から構成された強誘電体からなる強誘電体層を前記下部電極層の上に形成する第2工程と、

前記強誘電体層の上に上部電極を形成する第3工程と  
を備えることを特徴とする強誘電体素子の製造方法。

【請求項11】

請求項1～9のいずれか1項に記載の強誘電体素子において、

前記強誘電体層は、少なくとも第1金属、及び酸素から構成された基部層と、

前記第1金属、第2金属、及び酸素の化学量論的組成の結晶からなり、前記基部層の中に分散された複数の微結晶粒と

を少なくとも備えることを特徴とする強誘電体素子。

【請求項12】

請求項11に記載の強誘電体素子において、

前記基部層は、前記第1金属、前記第2金属、及び酸素から構成され、化学量論的組成に比較して第2金属の組成比が小さい

ことを特徴とする強誘電体素子。

【請求項13】

請求項11又は12に記載の強誘電体素子において、

前記基部層は、前記第1金属、前記第2金属、及び酸素の柱状結晶を含むことを特徴とする強誘電体素子。

【請求項14】

請求項11～13のいずれか1項に記載の強誘電体素子において、

前記強誘電体層は、

前記基部層に接して配置され、少なくとも前記第1金属、及び酸素から構成され、柱状結晶及び非晶質の少なくとも1つである金属酸化物単一層を備える

ことを特徴とした強誘電体素子。

【請求項15】

請求項14に記載の強誘電体素子において、

前記金属酸化物単一層は、前記第1金属、前記第2金属、及び酸素の化学量論的組成に比較して第2金属の組成比が小さいことを特徴とする強誘電体素子。

【請求項16】

請求項14又は15に記載の強誘電体素子において、

前記金属酸化物単一層は、前記微結晶粒を含まないことを特徴とする強誘電体素子。

【請求項17】

請求項11～16のいずれか1項に記載の強誘電体素子において、

前記第1金属はチタンであり、前記第2金属はビスマスであり、前記基部層は、化学量論的組成に比較して過剰なチタンを含む層からなる非晶質状態であることを特徴とする強誘電体素子。

【発明の名称】 強誘電体素子及びその製造方法

【技術分野】

【0001】

本発明は、強誘電体素子及びその製造方法に関する。

【背景技術】

【0002】

従来、メモリには、半導体装置が多く用いられてきた。この中の1つとして、DRAM (Dynamic Random Access Memory) が広く使用されている。DRAMの単位記憶素子（以下、メモリセルという）は、1個のキャパシタと1個のMOSFET (Metal-oxide-semiconductor field effect transistor) からなり、選択されたメモリセルのキャパシタに蓄えられた電荷の状態に対応する電圧変化を、デジタル信号の「0」あるいは「1」として読み取ることで、メモリ動作をさせている。

【0003】

しかし、DRAMでは、キャパシタに蓄えられた電荷が時間とともに減少するため、通電しながらデータを保持しなければならないという欠点を有している。また、DRAMでは、データを読み出す毎にキャパシタの電荷の状態が変化するため、再書き込みが必要となる。これらの問題は、ユビキタスサービス社会で必要となる低消費電力で高速動作をするメモリ装置を開発する上で、大きな制限となっている。

【0004】

現在、高速かつ不揮発なメモリとして、強誘電体の分極を用いた強誘電体メモリ (FeRAM: Ferroelectric RAM) や、強磁性体の磁気抵抗を用いた強磁性体メモリ (MRAM: Magnetoresist RAM) などが注目されており、盛んに研究されている。この中で、FeRAMは、既に実用化されていることもあり、諸処の課題を解決できれば、フラッシュメモリやロジックのDRAMも置き換えできると期待されている。

【0005】

強誘電体材料のうち、FeRAMには、主に酸化物強誘電体が使用されている。酸化物強誘電体は、 $\text{BaTiO}_3$ 、 $\text{PbTiO}_3$ などのペロブスカイト構造 (Perovskite)、 $\text{LiNbO}_3$ 、 $\text{LiTaO}_3$ などの擬イルメナイト構造 (Pseudo-ilmenite)、 $\text{PbNb}_2\text{O}_6$ 、 $\text{Ba}_2\text{NaNb}_5\text{O}_{15}$ などのタンゲステン・ブロンズ (TB) 構造 (Tungsten-bronze)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ などのビスマス層状構造 (Bismuth layer-structure ferroelectric, BLSF) 等、 $\text{Pb}_2\text{Nd}_2\text{O}_7$ などのパイロクロア構造 (Pyrochlore) に分類される。

【0006】

これらの中でも $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  (PZT) で代表される鉛系強誘電体が、実用上で主流となっている。しかしながら、鉛含有物や鉛酸化物は、労働安全衛生法により規制される材料であり、生態への影響や環境負荷の増大などが懸念される。このため欧米では、生態学的見知及び公害防止の面から規制対象となりつつある。

【0007】

近年の環境負荷軽減の必然性から、非鉛系（無鉛）で鉛系強誘電体の性能に匹敵する強誘電体材料が世界的に注目されており、この中でも無鉛ペロブスカイト型強誘電体やビスマス層状構造強誘電体 (BLSF) が有望とされている。ビスマス層状構造強誘電体は、分極特性に大きな特徴を持ち、配向軸の向きにより分極量が10倍程度変化することや、分極を反転させた回数による劣化が少なく、Pb系よりも疲労特性に優れているという報告もなされている。しかし、ビスマス層状構造強誘電体は、鉛系強誘電体に比べ分極量が小さく成膜法・加工法ともに課題が多いのも事実である（非特許文献1参照）。

【0008】

フラッシュメモリの代わりとして期待されるFeRAMには、主に、スタック型とFET型に分類される。スタック型は、1トランジスタ1キャパシタ型FeRAMとも呼ばれ、この構造からスタック型キャパシタを持つものと、プレーナ型キャパシタを持つもの、

立体型マヤハシノを持つものがある。これらの構造では、マヤハシノ中の強誘電体の分極の向きにより、トランジスタを流れる電流量が変化することを利用し、メモリの「0」と「1」とを読み出すようにしている。また、強誘電体の分極は、通電せずに保持することができるので、F e R A Mは、不揮発性も有している。しかしながら、F e R A Mは、データを読み出すときに分極の反転が伴うことがあり、破壊読み出し動作になるという欠点を有している。また、F e R A Mは、1つのメモリセルが専有する面積が大きいいため、高集積化が容易ではない。

#### 【0009】

上述したスタック型F e R A Mに対し、F E T型F e R A Mは、次世代を担うF e R A Mとして期待されている。F E T型F e R A Mは、1トランジスタ型F e R A Mとも呼ばれ、この構造から、M O S F E Tのゲート電極とチャネル領域のゲート絶縁膜の代わりに強誘電体膜を配置したM F S (Metal-ferroelectric-semiconductor) 型F e R A M、M O S F E Tのゲート電極の上に強誘電体膜を配置したM F M I S (Metal-ferroelectric-metal-insulator-semiconductor) 型F e R A M、さらにM O S F E Tのゲート電極とゲート絶縁膜の間に強誘電体膜を配置したM F I S (Metal-ferroelectric-insulator-semiconductor) 型F e R A Mなどの1トランジスタ型F e R A Mがある（非特許文献2参照）。

#### 【0010】

これらのF e R A Mは、M O S F E Tの動作に強誘電体の分極を適用させたものであり、分極の状態により、ゲート絶縁膜直下の半導体表面にチャネルが形成される場合と、形成されない場合との状態を作り出し、このときのソースドレイン間の電流値を読み取り、電気的なデジタル信号の「0」あるいは「1」として取り出すことで、メモリ動作を実現している。

#### 【0011】

F E T型F e R A Mでは、動作原理から、データ読み出しを行っても、強誘電体の分極量は変化しないことから非破壊読み出しが可能であり、高速動作が期待されている。また、1トランジスタ1キャパシタ型F e R A Mに比べて専有面積も小さくできることから、高集積化に有利である特徴を持つ。

#### 【0012】

しかしながら、上述した構成では、強誘電体の層を半導体上に形成することになるが、よく知られているように、半導体上に強誘電体の層を形成することは非常に困難である。例えば、S iなどの半導体基板を用いた場合、強誘電体の成膜に良く用いられるゾルゲル法や有機金属化学気相堆積(Metal-Organic Chemical Vapor Deposition: M O C V D)法などでは、高温での成膜が必要となるため、半導体の表面が酸化又は変質してしまう。これにより、界面に不要な酸化膜や欠陥を形成してしまい、これらがメモリ特性を大きく悪化させる原因となる。

#### 【0013】

実際、界面での酸化膜は強誘電体の分極保持を妨げるような減分極電界を発生させるため、メモリの保持特性を著しく悪くしてしまう。また欠陥の形成は、ゲートからチャネルへのリーク電流を増大させるため、トランジスタのO N / O F F比を劣化させてしまう。このような問題点を解決するため、強誘電体と半導体に間に高誘電率の絶縁膜を挟む構造が提案されているが、やはり減分極電界の影響を無視することができず、長期の分極保持は非常に困難であるという報告が多い。

#### 【0014】

上述したことから明らかなように、次世代のメモリとして注目されているF e R A Mを実現するためには、基板上への強誘電体薄膜の形成が非常に重要である。現在までに様々な形成装置及び種々の薄膜形成方法が試みられている。例えば、前述したゾルゲル法やM O C V D方法に加え、パルス・レーザー・デポジション(Pulsed laser deposition, P L D)、高周波スパッタリング法(rf-sputtering、R Fスパッタ法やマグネトロンスパッタ法とも呼ぶ)、E C Rスパッタ法(Electron cyclotron resonance sputtering)などが

手につれる。

#### 【0015】

ゾルゲル法などの化学溶液堆積法は、強誘電体の機材を有機溶媒に溶解して基板に塗布し、この塗布膜を焼結する手順を繰り返し、所定の膜厚とした強誘電体層を形成する方法である。ゾルゲル法は、簡便で比較的大面積に膜が形成できるのが特徴であるが、塗布する基板との濡れ性の問題や、形成した膜中に溶媒が残ってしまうことによる汚染などの多くの欠点を抱えている。

#### 【0016】

MOCVD法は、大面積に結晶性の良い膜を形成でき、かつ段差被覆特性にも優れた強誘電体の成膜手法として、多くの注目を集めている。しかしながら、ソースガスの供給するため有機溶剤を使用するため、膜中の炭素原子による汚染が大きな問題点となる。利用するガスの取り扱いが容易ではなく、装置が非常に大掛かりになってしまう。

#### 【0017】

形成される薄膜の純度や組成に関しては、PLD法が最も有効な成膜手法である。これは、エキシマレーザなどの強力なレーザ光源で強誘電体材料のターゲットをアブレーションすることにより放出される原子、イオン、クラスターを基板に堆積させ、薄膜を形成する方法である。PLD法では、組成ずれもなく結晶性の良い薄膜を形成することから、大きな関心が寄せられている。しかし、レーザがターゲットに照射される面積が小さいため、基板の上に形成される薄膜に大きな面内分布が生じてしまい、大面積での成膜は容易ではない。従って、量産をするなど工業的な観点からは、現在のPLD法は極めて不利な手法である。

#### 【0018】

上述した種々の膜形成方法に対し、強誘電体膜の形成方法としてスパッタリング法（単にスパッタ法ともいう）が注目されている。スパッタ法は、危険度の高いガスや有毒ガスなどを用いることなく、堆積する膜の表面凹凸（表面モフォロジ）が比較的良いなどの理由により、有望な成膜装置・方法の1つになっている。

#### 【0019】

従来から使用されているRFスパッタ法においては、ターゲットとして対象とする化合物の焼結体を用い、酸化物強誘電体を堆積している。ところが、不活生ガスとしてアルゴン、反応性ガスとして酸素を用いてスパッタした場合、基板の上に形成された強誘電体薄膜中に酸素が十分にに取り込まれず、良好な膜質の強誘電体薄膜が得られないという問題点があった。このため、上述したスパッタ法では、膜を形成した後に酸素中でのアニーリングが必要とされてきた。

#### 【0020】

一方、スパッタ膜の膜質改善の方法として、電子サイクロトロン共鳴（ECR）によりプラズマを発生させ、このプラズマの発散磁場を利用して作られたプラズマ流を基板に照射し、同時にターゲットと接地と間に高周波又は負の直流電圧を印加し、ECRで発生したプラズマ流中のイオンをターゲットに引き込み衝突させて、スパッタリングすることにより、膜を基板上に堆積させるECRスパッタ法がある。

#### 【0021】

ECRを利用したプラズマは、低ガス圧（0.01Pa程度）での放電、低エネルギー（数10eV程度）領域でのイオンエネルギーの制御、高イオン化率などの優れた特性を有する。ECRプラズマ中のイオンは、スパッタされて基板の上に飛来した原料粒子に適度なエネルギーを与えると共に、原料粒子と酸素との結合反応を促進することになり、堆積した膜の膜質改善につながると考えられている。従って、ECRスパッタ法では、低い基板温度で高品質の膜が形成できることが大きな特徴であり、表面モフォロジも極めて優れたものとなる。特にゲート絶縁膜の形成においては、この有効性を発揮している（特許文献1、特許文献2参照）。

#### 【0022】

また、ECRスパッタ法を用いた強誘電体薄膜形成の検討についてもいくつか報告され

ている（特許文献3、特許文献4参照）。これらでは、ハットムスはヘドロンアトムを占む強誘電体の製造について報告されている。また、ECRスパッタ法による $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の製造法についても報告されている（非特許文献2参照）。

#### 【0023】

上述したようなメモリを取り巻く状況に対し、強誘電体の分極量により半導体の状態を変化させる（チャンネルを形成する）などの効果によりメモリを実現させるのではなく、図31に示すように、半導体基板2901の上部に直接形成した強誘電体層2902の抵抗値を変化させ、結果としてメモリ機能を実現する技術が提案されている（特許文献5参照）。強誘電体層2902の抵抗値の制御は、電極2903と電極2904との間に電圧を印加することで行う。

#### 【0024】

なお、出願人は、本明細書に記載した先行技術文献情報で特定される先行技術文献以外には、本発明に関連する先行技術文献を出願時までに見出すには至らなかった。

【特許文献1】特許第2814416号公報

【特許文献2】特許第2779997号公報

【特許文献3】特開平10-152397号公報

【特許文献4】特開平10-152398号公報

【特許文献5】特開平7-263646号公報

【非特許文献1】塩崎忠 監修、「強誘電体材料の開発と応用」、シーエムシー出版

【非特許文献2】増本らのアブライド・フィジクス・レター、第58号、243頁、1991年、(Appl. Phys. Lett., 58, 243, (1991)).

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0025】

しかしながら、図31に示した特許文献5に提案されている構造は、前述したMFS型FeRAMのゲート電極直下と同様に、半導体の上に強誘電体層を備える構造となっている。従って、図31に示す素子では、MFS型FeRAMの製造過程に最大の問題となる半導体上の良質な強誘電体層の形成が困難であるばかりでなく、半導体と強誘電体層との間に半導体酸化物が形成されてしまい、減分極電界の発生や多くの欠陥の発生が特性に大きく影響し、長時間のデータ保持は不可能であることが予想される。実際、図31に示す素子では、2分程度の保持時間しか達成されておらず、1分程度でデータの再書き込みを強いられることになる。また、メモリとしてのON/OFF比も3程度であり、十分なものではなかった。

#### 【0026】

また、図31に示す素子に見られる電流電圧ヒステリシスは、半導体基板2901と強誘電体層2902の界面に発生した欠陥に、電子又はホールが捕獲（トラップ）されるために起きるとされている。このため、特許文献5では、強誘電体に接する材料は金属ではなく、キャリアの少ない半導体基板が好ましいとされている。金属のようにキャリアが多数の場合は、これらの電気伝導が支配的となってしまい、界面でのトラッピング効果が顕著でなくなるため、ヒステリシスが発現しにくいものと考えられている。これを防ぐために、半導体基板はキャリア数を制御する役割を担っており、特許文献5の構造では不可欠な要素となっている。しかしながら、このような界面におけるトラッピング現象が電流電圧特性のヒステリシスの原因の場合、メモリの保持時間は誘電緩和時間程度となってしまい、原理的に長期のメモリ保持は望めない構成となる。

#### 【0027】

本発明は、以上のような問題点を解消するためになされたものであり、より安定に記憶保持が行えるメモリ装置が構成できるなど、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0028】



本発明に係る強誘電体素子は、基板の上に形成された下部電極と、この下部電極の上に形成された強誘電体からなる所定の厚さの強誘電体層と、この強誘電体層の上に形成された上部電極とを少なくとも備え、強誘電体層は、少なくとも2つの金属を含んでいるものである。

#### 【0029】

このような構成において、下部電極と上部電極との間に電気信号を印加することにより、強誘電体層の抵抗値を変化させることができる。すなわち、上記の構成は、従来技術のような半導体による界面でのキャリア数の制御などがなくとも、強誘電体層は、印加される電圧などの電気信号により抵抗値が変化するものである。この現象は、界面でのトラップの影響ではなく、強誘電体自身の抵抗値変化が、本質的な機構となっている。

#### 【0030】

この結果、本強誘電体素子では、下部電極と上部電極との間に所定の電圧を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗状態と低抵抗状態とを切り替えれば、2つの異なる状態が得られ、例えば、上部電極に、適当な電圧を印加したときの電流値の測定により、2つの異なる状態が読み取れる。

#### 【0031】

上記強誘電体素子において、強誘電体層は、第1電圧値以上の電圧印加により第1抵抗値を持つ第1状態（例えば上記低抵抗状態）となり、第1電圧とは極性の異なる第2電圧値以下の電圧印加により第1抵抗値より低い第2抵抗値を持つ第2状態（例えば上記高抵抗状態）となる。上記強誘電体素子において、下部電極は、基板の上に絶縁膜を介して形成されていてもよく、基板は導電性材料から構成されたものであってもよく、この場合、下部電極と基板とは同一であってもよい。

#### 【0032】

また、上記強誘電体素子において、強誘電体は、ペロブスカイト構造、擬イルメナイト構造、タンゲステン・ブロンズ構造、ピスマス層状構造、及びバイクロイア構造の少なくとも1つであればよく、例えば、強誘電体層は、ピスマスとチタンと酸素とから構成され、ピスマス層状構造であればよい。また、下部電極は、ルテニウム、白金のいずれかから構成することができる。加えて、下部電極は、これらの同一材料による単層構造もしくは複数材料による積層構造のいずれかであってもよい。

#### 【0033】

また、上記強誘電体素子において、強誘電体層は、少なくとも第1金属、及び酸素から構成された基部層と、第1金属、第2金属、及び酸素の化学量論的組成の結晶からなり、基部層の中に分散された複数の微結晶粒とを少なくとも備えていればよい。基部層は、第1金属、第2金属、及び酸素から構成され、化学量論的組成に比較して第2金属の組成比が小さいものであってもよく、また、基部層は、第1金属、第2金属、及び酸素の柱状結晶を含むものであってもよい。

#### 【0034】

強誘電体層は、基部層に接して配置され、少なくとも第1金属、及び酸素から構成され、柱状結晶及び非晶質の少なくとも1つである金属酸化物単一層を備える。この場合、金属酸化物単一層は、第1金属、第2金属、及び酸素の化学量論的組成に比較して第2金属の組成比が小さいものであってもよい。ただし、金属酸化物単一層は、微結晶粒を含まない。また、上述した第1金属はチタンであり、第2金属はピスマスであり、基部層は、化学量論的組成に比較して過剰なチタンを含む層からなる非晶質状態であればよい。

#### 【0035】

本発明に係る強誘電体素子の製造方法は、基板の上に下部電極層を形成する第1工程と、所定の組成比で供給された不活性ガスと酸素ガスとからなるプラズマを生成し、少なくとも2つの金属から構成されたターゲットに負のバイスを印加してプラズマより発生した粒子をターゲットに衝突させてスパッタ現象を起こし、ターゲットを構成する材料を下部電極層の上に堆積することで、2つの金属及び酸素から構成された強誘電体からなる強誘電体層を下部電極層の上に形成する第2工程と、強誘電体層の上に上部電極を形成する第

の上仕立てを施せるものである。

#### 【発明の効果】

##### 【0036】

以上説明したように、本発明によれば、少なくとも2つの金属から構成された強誘電体層を、下部電極と上部電極とで挟む構成としたので、下部電極と上部電極との間に所定の電気信号を印加して強誘電体層の抵抗値を変化させることが可能となり、安定な高抵抗状態と低抵抗状態とが切り替えられるようになり、安定して2つの異なる状態が得られるようになるので、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供できるという優れた効果が得られる。

#### 【発明を実施するための最良の形態】

##### 【0037】

以下、本発明の実施の形態について図を参照して説明する。図1は、本発明の実施の形態における強誘電体素子の構成例を概略的に示す模式的な断面図(a)及び部分断面図(b)である。図1(a)に示す素子は、例えば、単結晶シリコンからなる基板101の上に絶縁層102、下部電極層103、例えばBiとTiとOとから構成された膜厚30～200nm程度の強誘電体層104、上部電極105を備えるようにしたものである。

##### 【0038】

基板101は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板101が絶縁材料から構成されている場合、絶縁層102はなくてもよい。また、基板101が導電性材料から構成されている場合、絶縁層102、下部電極層103はなくてもよく、この場合、導電性材料から構成された基板101が、下部電極となる。

##### 【0039】

下部電極層103、上部電極105は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、下部電極層103、上部電極105は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム( $\text{SrRuO}_2$ )、酸化亜鉛(ZnO)、鉛酸スズ(ITO)、フッ化ランタン( $\text{LaF}_3$ )などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

##### 【0040】

強誘電体層104は、酸化物強誘電体から構成されたものであり、例えば、ペロブスカイト構造を持つ材料、又は、擬イルメナイト構造を持つ材料、さらに、タンゲステン・ブロンズ構造を持つ材料、ピスマス層状構造を持つ材料、パイロクロア構造を持つ材料から構成されていればよい。詳細には、 $\text{BaTiO}_3$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{LiNbO}_3$ 、 $\text{LiTaO}_3$ 、 $\text{PbNb}_3\text{O}_6$ 、 $\text{PbNaNb}_5\text{O}_{15}$ 、 $\text{Cd}_2\text{Nb}_2\text{O}_7$ 、 $\text{Pb}_2\text{Nb}_2\text{O}_7$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ などが挙げられる。

##### 【0041】

なお、強誘電体層104は、少なくとも2つの金属を含む酸化物、窒化物、フッ化物などの、一般に強誘電特性を示す材料から構成されていることを示しており、膜厚条件などにより強誘電特性を示さない状態も含んでいる。また、以降で記載している「強誘電体」についても、少なくとも2つの金属から構成された金属化物からなる一般に強誘電特性を示すとされている材料を示している。

##### 【0042】

図1に示した強誘電体素子の具体例について説明すると、例えば、下部電極層103は、膜厚10nmのルテニウム膜であり、強誘電体層104は、膜厚40nmの $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜であり、上部電極105は、金から構成されたものである。なお、前述したように、基板101及び絶縁層102の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

##### 【0043】

次に、強誘電体層104について、より詳細に説明する。強誘電体層104は、図1(

に拡大して示すように、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶組成と比較して過剰なフロンを含む層からなる基部層141の中に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶からなる粒径3～15 nm程度の複数の微結晶粒142が分散されて構成されたものである。これは、透過型電子顕微鏡の観察により確認されている。基部層141は、ビスマスの組成がほぼ0となる $\text{TiO}_x$ の場合もある。言い換えると、基部層141は、2つの金属から構成されている金属酸化物において、いずれかの金属が化学量論的な組成と比較して少ない状態の層である。なお、図1(b)は、強誘電体層104の概略的な状態を模式的に示す断面図である。

#### 【0044】

このような強誘電体層104を用いた強誘電体素子によれば、以降に説明するように、2つの状態が保持される機能素子が実現できる。図1に示す強誘電体素子の特性について説明する。この特性は、下部電極層103と上部電極105との間に電圧を印加することで調査されたものである。下部電極層103と上部電極105との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図2に示す結果が得られた。図2において、縦軸は、電流値を面積で除した電流密度である。

#### 【0045】

以下、図2を説明し、あわせて図1に示す強誘電体素子の動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

#### 【0046】

図2は上部電極105に印加する電圧をゼロから正の方向に増加させた後にゼロに戻し、さらに負の方向に減少させ、最後に再びゼロに戻したときに強誘電体層104の中を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、上部電極105に電圧を0 Vから正の方向に徐々に印加させた場合、強誘電体層104を流れる正の電流は比較的少ない(0.1 Vで約0.014 A/cm<sup>2</sup>程度)。

#### 【0047】

しかし、0.5 Vを超えると急激に正の電流値が増加し始める。さらに約1 Vまで電圧を上げた後、逆に正の電圧を減少させていくと、1 Vから約0.7 Vまでは電圧値の減少にも拘わらず、正の電流値はさらに増加する。電圧値が約0.7 V以下になると、電流値も減少に転じるが、このときの正の電流は先と比べて流れやすい状態であり、電流値は0.1 Vで約1.3 A/cm<sup>2</sup>程度である(先の約100倍)。印加電圧をゼロに戻すと、電流値もゼロとなる。

#### 【0048】

次に上部電極105に負の電圧を印加していく。この状態では、負の電圧が小さいときは、前の履歴を引き継ぎ、比較的大きな負の電流が流れる。ところが、-0.5 V程度まで負の電圧を印加すると、負の電流が突然減少し始め、この後、約-1 V程度まで負の電圧を印加しても負の電流値は減少し続ける。最後に、-1 Vから0 Vに向かって印加する負の電圧を減少させると、負の電流値も共にさらに減少し、ゼロに戻る。この場合のときは、負の電流は流れ難く、-0.1 Vで約-0.035 A/cm<sup>2</sup>程度である。

#### 【0049】

以上に説明したような、強誘電体層104中を流れる電流のヒステリシスは、上部電極105に印加する電圧により強誘電体層104の抵抗値が変化することが原因で発現すると解釈できる。ある一定以上の大きさの正の電圧 $V_{W1}$ を印加することにより、強誘電体層104は電流が流れやすい「低抵抗状態」(データ「1」)に遷移する。一方、ある一定の大きさの負の電圧 $V_{W0}$ を印加することにより、強誘電体層104は電流が流れにくい「高抵抗状態」(データ「0」)に遷移すると考えられる。

#### 【0050】

強誘電体層104には、これらの低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。なお、 $V_{W1}$ の値は約+1 V程度であり、 $V_{W0}$ の値-1 V程度であり、高抵抗状態と

低抵抗状態の抵抗比は約10<sup>-1</sup>～10<sup>-2</sup>に反する。上記のよ、電圧により強誘電体層104の抵抗がスイッチする現象を用いることで、図1に示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子が実現できる。

#### 【0051】

図1に示す強誘電体素子は、DC電圧を用いると、メモリ動作は以下のように行う。まず、 $V_{W1}$ 以上の大きさの正の電圧を印加し、強誘電体層104を低抵抗状態に遷移させる。これはメモリとしてデータ「1」を書き込むことに対応する。このデータ「1」は、読み出し電圧 $V_R$ における電流値 $J_{R1}$ を観測することにより読み出すことができる。 $V_R$ としては、状態が遷移しない程度のなるべく小さな値で、かつ抵抗比が十分に現れるような値を選択することが重要となる（上記の例では0.1V程度が適当）。これにより、低抵抗状態、すなわちデータ「1」を破壊することなく、何回も読み出すことが可能となる。

#### 【0052】

一方、 $V_{W0}$ 以上の大きさの負の電圧を印加することにより、強誘電体層104を高抵抗状態に遷移させ、データ「0」を書き込むことができる。この状態の読み出しはと全く同様に、読み出し電圧 $V_R$ における電流値 $J_{R0}$ を観測することにより、行うことができる（ $J_{R1}/J_{R0} \approx 10 \sim 100$ ）。また、電極間に通電がない状態では、強誘電体層104は各状態を保持するため不揮発性を有しており、書き込み時と読み出し時以外には、電圧を印加する必要はない。なお、本素子は、電流を制御するスイッチ素子としても用いることができる。

#### 【0053】

ここで図1に示した強誘電体素子におけるデータ保持特性について、図3に示す。例えば、上部電極105に正の電圧 $V_{W1}$ を印加して、図2に示す低抵抗状態（データ「1」）に遷移させた後、読み出し電圧 $V_R$ を印加して電流値 $J_{R1}$ を観測する。次に、上部電極105に負の電圧 $V_{W0}$ を印加することで高抵抗状態に遷移させ、データ「0」を書き込んだ状態とし、この後、一定時間毎に上部電極105に読み出し電圧 $V_R$ を印加し、電流値 $J_{R0}$ を観測する。強誘電体素子としてのON/OFF比は、 $J_{R1}/J_{R0}$ の値として表せるので、図3では、 $J_{R1}/J_{R0}$ の値を縦軸とし、上述した観測により得られた $J_{R1}/J_{R0}$ の値の経時に伴う変化を示した。

#### 【0054】

観測されたON/OFF比は、経時に伴い徐々に減少する傾向が示されているが、十分にデータの判別が可能な範囲である。図3に黒丸で示す観測結果による外挿直線（破線）から予想される1000分後のON/OFF比は21程度であり、この時点でも判別は可能である。このように、図1に示す強誘電体素子によれば、少なくとも1000分の保持時間を有していることがわかる。また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。

#### 【0055】

次に、図1に示した強誘電体素子の製造方法例について説明する。なお、以降では、ECRプラズマスパッタ法を例に各薄膜の形成方法を説明しているが、これに限るものではなく、他の成膜技術や方法を用いるようにしてもよいことは、いうまでもない。

#### 【0056】

まず、図4(a)に示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板101を用意し、基板101の表面を硫酸と過酸化水素水の混合液と純水と希フッ化水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板101の上に、絶縁層102が形成された状態とする。絶縁層102の形成では、上述したECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、基板101の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層102を形成する。

#### 【0057】

例えば、 $10^{-5}$ Pa台の内部圧力に設定されているプラズマ生成室内に流量20sccm程

及び、 $10^{-2}$  Pa 程度を導入し、内部圧力を  $10^{-2}$  Pa 程度に保ち、ここに、 $2.45\text{ GHz}$  のマイクロ波（ $500\text{ W}$  程度）と  $0.0875\text{ T}$  の磁場とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内に  $\text{Ar}$  のプラズマが生成された状態とする。なお、 $\text{sccm}$  は流量の単位あり、 $0^\circ\text{C} \cdot 1$  気圧の流体が 1 分間に  $1\text{ cm}^3$  流れることを示す。また、 $\text{T}$ （テスラ）は、磁束密度の単位であり、 $1\text{ T} = 10000$  ガウスである。

#### 【0058】

上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より  $13.56\text{ MHz}$  の高周波電力（例えば  $500\text{ W}$ ）を供給する。このことにより、シリコンターゲットに  $\text{Ar}$  イオンが衝突してスパッタリング現象が起これ、 $\text{Si}$  粒子が飛び出す。シリコンターゲットより飛び出した  $\text{Si}$  粒子は、プラズマ生成室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共に基板  $101$  の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。以上のことにより、基板  $101$  上に二酸化シリコンからなる例えば  $100\text{ nm}$  程度の膜厚の絶縁層  $102$  が形成された状態とすることができる（図 4（a））。

#### 【0059】

なお、絶縁層  $102$  は、この後に形成する下部電極層  $103$  と上部電極  $105$  に電圧を印加した時に、基板  $101$  に電圧が洩れて、所望の電気的特性に影響することないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸化法により酸化することで形成した酸化シリコン膜を絶縁層  $102$  として用いるようにしてもよい。絶縁層  $102$  は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層  $102$  の膜厚は、 $100\text{ nm}$  に限らず、これより薄くてもよく厚くてもよい。絶縁層  $102$  は、上述した  $\text{ECR}$  スパッタによる膜の形成では、基板  $101$  に対して加熱はしていないが、基板  $101$  を加熱しながら膜の形成を行ってもよい。

#### 【0060】

以上のようにして絶縁層  $102$  を形成した後、今度は、ターゲットとして純ルテニウム（ $\text{Ru}$ ）を用いた同様の  $\text{ECR}$  スパッタ法により、絶縁層  $102$  の上にルテニウム膜を形成することで、図 4（b）に示すように、下部電極層  $103$  が形成された状態とする。 $\text{Ru}$  膜の形成について詳述すると、 $\text{Ru}$  からなるターゲットを用いた  $\text{ECR}$  スパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を  $400^\circ\text{C}$  に加熱し、また、プラズマ生成室内に、例えば流量  $7\text{ sccm}$  で希ガスである  $\text{Ar}$  ガスを導入し、加えて、例えば流量  $5\text{ sccm}$  で  $\text{Xe}$  ガスを導入し、プラズマ生成室の内部を、例えば  $10^{-2} \sim 10^{-3}\text{ Pa}$  程度の圧力に設定する。

#### 【0061】

ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、 $2.45\text{ GHz}$  のマイクロ波（例えば  $500\text{ W}$ ）をプラズマ生成室内に導入し、プラズマ生成室に  $\text{Ar}$  と  $\text{Xe}$  の  $\text{ECR}$  プラズマが生成した状態とする。生成された  $\text{ECR}$  プラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、 $13.56\text{ MHz}$  の高周波電力（例えば  $500\text{ W}$ ）を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットより  $\text{Ru}$  粒子が飛び出す。ルテニウムターゲットより飛び出した  $\text{Ru}$  粒子は、基板  $101$  の絶縁層  $102$  表面に到達して堆積する。

#### 【0062】

以上のことにより、絶縁層  $102$  の上に、例えば  $10\text{ nm}$  程度の膜厚の下部電極層  $103$  が形成された状態が得られる（図 4（b））。下部電極層  $103$  は、この後に形成する上部電極  $105$  との間に電圧を印加した時に、強誘電体層  $104$  に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から下部電極層  $103$  を構成してもよく、例えば、白金から下部電極層  $103$  を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいことが知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構

とされはよい。また、下部電極層103の膜厚も10nmに限定されるものではなく、これより厚くてもよく薄くてもよい。

#### 【0063】

ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板101を400℃に加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。

#### 【0064】

以上のようにして下部電極層103を形成した後、BiとTiの割合が4：3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図4(c)に示すように、下部電極層103の上に、表面を覆う程度に、強誘電体層104が形成された状態とする。

#### 【0065】

強誘電体層104の形成について詳述すると、まず、300℃～700℃の範囲に基板101が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20sccmで希ガスであるArガスを導入し、例えば $10^{-3}$ Pa～ $10^{-2}$ Pa台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。

#### 【0066】

生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。

#### 【0067】

焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化した酸素ガスと共に、加熱されている下部電極層103の表面に到達し、活性化された酸素により酸化される。なお、反応ガスとしての酸素(O<sub>2</sub>)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の強誘電体層104が形成された状態が得られる(図4(c))。

#### 【0068】

なお、形成した強誘電体層104に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層102の形成にも適用可能である。また、基板温度を300℃以下のより低い温度条件として強誘電体層104を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成した強誘電体層104をアニール(加熱処理)し、膜質の特性を大きく改善するようにしてもよい。

#### 【0069】

以上のようにして強誘電体層104を形成した後、図4(e)に示すように、強誘電体層104の上に、所定の面積のAuからなる上部電極105が形成された状態とすることで、本実施の形態における金属酸化物薄膜からなる層を用いた素子が得られる。上部電極105は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、上部電極105は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラ



ノイヤーやフットオン処理などのパフーエーション処理をして所定の面積を持つ電極として形成する必要がある。

#### 【0070】

以上に説明したE C Rスパッタによる各層の形成は、図5に示すようなE C Rスパッタ装置を用いればよい。図5に示すE C Rスパッタ装置について説明すると、まず、処理室501とこれに連通するプラズマ生成室502とを備えている。処理室501は、図示していない真空排気装置に連通し、真空排気装置によりプラズマ生成室502とともに内部が真空排気される。処理室501には、膜形成対象の基板101が固定される基板ホルダ504が設けられている。基板ホルダ504は、図示しない傾斜回転機構により所望の角度に傾斜し、かつ回転可能とされている。基板ホルダ504を傾斜して回転させることで、堆積させる材料による膜の面内均一性と段差被覆性とを向上させることが可能となる。

#### 【0071】

また、処理室501内のプラズマ生成室502からのプラズマが導入される開口領域において、開口領域を取り巻くようにリング状のターゲット505が備えられている。ターゲット505は、絶縁体からなる容器505a内に載置され、内側の面が処理室501内に露出している。また、ターゲット505には、マッチングユニット521を介して高周波電源522が接続され、例えば、13.56MHzの高周波が印加可能とされている。ターゲット505が導電性材料の場合、直流の負電圧を印加するようにしても良い。なお、ターゲット505は、上面から見た状態で、円形状だけでなく、多角形状態であっても良い。

#### 【0072】

プラズマ生成室502は、真空導波管506に連通し、真空導波管506は、石英窓507を介して導波管508に接続されている。導波管508は、図示していないマイクロ波発生部に連通している。また、プラズマ生成室502の周囲及びプラズマ生成室502の上部には、磁気コイル（磁場形成手段）510が備えられている。これら、マイクロ波発生部、導波管508、石英窓507、真空導波管506により、マイクロ波供給手段が構成されている。なお、導波管508の途中に、モード変換器を設けるようにする構成もある。

#### 【0073】

図5のE C Rスパッタ装置の動作例について説明すると、まず、処理室501及びプラズマ生成室502内を $10^{-5}$ Paから $10^{-4}$ Paに真空排気した後、不活性ガス導入部511より不活性ガスであるアルゴンガスを導入し、また、反応性ガス導入部512より酸素ガスなどの反応性ガスを導入し、プラズマ生成室502内を例えば $10^{-3}$ ～ $10^{-2}$ Pa程度の圧力にする。この状態で、磁気コイル510よりプラズマ生成室502内に0.0875Tの磁場を発生させた後、導波管508、石英窓507を介してプラズマ生成室502内に2.45GHzのマイクロ波を導入し、電子サイクロトロン共鳴（E C R）プラズマを発生させる。

#### 【0074】

E C Rプラズマは、磁気コイル510からの発散磁場により、基板ホルダ504の方向にプラズマ流を形成する。生成されたE C Rプラズマのうち、電子は磁気コイル510で形成される発散磁場によりターゲット505の中を貫通して基板101の側に引き出され、基板101の表面に照射される。このとき同時に、E C Rプラズマ中のプラスイオンが、電子による負電荷を中和するように、すなわち、電界を弱めるように基板101側に引き出され、成膜している層の表面に照射される。このように各粒子が照射される間に、プラスイオンの一部は電子と結合して中性粒子となる。

#### 【0075】

なお、図5の薄膜形成装置では、図示していないマイクロ波発生部より供給されたマイクロ波電力を、導波管508において一旦分岐し、プラズマ生成室502上部の真空導波管506に、プラズマ生成室502の側方から石英窓507を介して結合させている。このようにすることで、石英窓507に対するターゲット505からの飛散粒子の付着が、

—

2



次に、酸素流量を1 sccmとした条件では、図7(c)及び図7(c')に示すように、基部層141の中に微結晶粒142が分散している状態が確認される。ただし、基部層141及び金属酸化物単一層144は、ともにほぼビスマスが存在していない状態となっている。図7(c)に示す顕微鏡写真の状態は、図1(b)に示した状態と同等である。以上に示した状態は、成膜時の温度条件が420℃である。なお、図7(d)及び図7(d')は、酸素流量を1 sccmとした条件で作製した膜の観察結果であるが、以降に説明するように、膜形成時の温度条件が異なる。

#### 【0083】

ECRスパッタ法により形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の特徴は、成膜温度にも関係する。図8は、基板温度に対する成膜速度と屈折率の変化を示したものである。図8には、図6に示した酸素領域Aと酸素領域Cと酸素領域Dに相当する酸素流量の成膜速度と屈折率の変化が示してある。図8に示すように、成膜速度と屈折率が、温度に対してともに変化することがわかる。

#### 【0084】

まず、屈折率に注目すると、酸素領域A、酸素領域C、酸素領域Dのいずれの領域に関して同様の振る舞いを示すことがわかる。具体的には、約250℃程度までの低温領域では、屈折率は約2と小さくアモルファス的な特性を示している。300℃から600℃での中間的な温度領域では、屈折率は、約2.6と論文などで報告されているバルクに近い値となり、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶化が進んでいることがわかる。これらの数値に関しては、例えば、山口らのジャパニーズ・ジャーナル・アブライド・フィジクス、第37号、5166頁、1998年、(Jpn. J. Appl. Phys., 37, 5166(1998).)などを参考にさせていただきたい。

#### 【0085】

しかし、約600℃を超える温度領域では、屈折率が大きくなり表面モフォロジ（表面凹凸）が大きくなってしまい結晶性が変化しているものと思われる。この温度は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ のキュリー温度である675℃よりも低いが、成膜している基板表面にECRプラズマが照射されることでエネルギーが供給され、基板温度が上昇して酸素欠損などの結晶性の悪化が発生しているとすれば、上述した結果に矛盾はないものと考ええる。成膜速度の温度依存性についてみると、各酸素領域は、同じ傾向の振る舞いを示すことがわかる。具体的には、約200℃までは、温度と共に成膜速度が上昇する。しかし、約200℃から300℃の領域で、急激に成膜速度が低下する。

#### 【0086】

約300℃に達すると成膜速度は600℃まで一定となる。この時の各酸素領域における成膜速度は、酸素領域Aが約1.5 nm/min、酸素領域Cが約3 nm/min、酸素領域Dが約2.5 nm/minであった。以上の結果から、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶膜の成膜に適した温度は、屈折率がバルクに近くなり、成膜速度が一定となる領域であり、上述の結果からは、300℃から600℃の温度領域となる。

#### 【0087】

上述した成膜時の温度条件により、強誘電体層104の状態は変化し、図7(c)に示した状態となる酸素流量条件で、成膜温度条件を450℃と高くすると、図7(d)及び図7(d')に示すように、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の柱状結晶からなる寸法（グレインサイズ）20～40 nm程度の複数の柱状結晶部143の中に、寸法が3～15 nm程度の微結晶粒142が観察されるようになる。この状態では、柱状結晶部143が、図7(c)及び図7(c')に示す基部層141に対応している。なお、図7に示すいずれの膜においても、XRD（X線回折法）測定では、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の（117）軸のピークが観測される。また、前述した透過型電子顕微鏡の観察において、微結晶粒142に対する電子線回折により、微結晶粒142は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の（117）面を持つことが確認されている。

#### 【0088】

一般に、強誘電性を示す材料では、キュリー温度以上では結晶性が保てなくなり、強誘

電圧が亢進されなくなる。例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ はこの $\text{Bi}$ と $\text{Ti}$ と酸素とが構成される強誘電材料では、キュリー温度が $675^\circ\text{C}$ 付近である。このため、 $600^\circ\text{C}$ に近い温度以上になると、ECRプラズマから与えられるエネルギーも加算され、酸素欠損などが起こりやすくなるため、結晶性が悪化し、強誘電性が発現され難くなるものと考えられる。

#### 【0089】

また、X線回折による解析により、上記の温度領域( $450^\circ\text{C}$ )で、酸素流量Cで成膜した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、(117)配向した膜であることが判明した。このような条件で成膜した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、 $100\text{nm}$ 程度の厚さにすると $2\text{MV}/\text{cm}$ を超える十分な電気耐圧性を示すことが確認された。以上に説明したように、ECRスパッタを用い、図6や図8で示される範囲内で $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜を形成することにより、膜の組成と特性を制御することが可能となる。

#### 【0090】

ところで、強誘電体層104は、図9に示す状態も観察されている。図9に示す強誘電体層104は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む金属酸化物単一層144と、複数の微結晶粒142が分散している基部層141との積層構造である。図9に示す状態も、図1(b)及び図7に示す状態と同様に、透過型電子顕微鏡の観察により確認されている。上述した各強誘電体層104の状態は、形成される下層の状態や、成膜温度、成膜時の酸素流量により変化し、例えば、金属材料からなる下地の上では、酸素流量が図8に示すβ条件の場合、図7(b)もしくは図9に示す状態となることが確認されている。

#### 【0091】

上述したように、微結晶粒が観察される成膜条件の範囲において、基部層が非晶質の状態の場合と柱状結晶が観察される場合とが存在するが、いずれにおいても、微結晶粒の状態には変化がなく、観察される微結晶粒は、寸法が $3\sim 15\text{nm}$ 程度となっている。このように、微結晶粒が観察される状態の強誘電体層104において、前述したように、低抵抗状態と高抵抗状態の2つの安定状態が存在し、図7(a)及び図7(a')に示す状態の薄膜では、上記2つの状態が著しく悪くなる。

#### 【0092】

従って、図1(b)及び図7(b)～図7(d')、及び図9に示す状態となっている金属酸化物薄膜によれば、図2を用いて説明したように、状態が保持される機能を備えた強誘電体素子を実現することが可能となる。この特性は、上述したECRスパッタにより膜を形成する場合、図6の酸素領域B、Cの条件で形成した膜に得られていることになる。また、図8に示した成膜温度条件に着目すると、上記特性は、成膜速度が低下して安定し、かつ屈折率が上昇して2.6程度に安定する範囲の温度条件で、上述した特性の薄膜が形成できる。

#### 【0093】

上述では、ビスマスとチタンとの2元金属からなる酸化物を例に説明したが、2つの状態が保持されるようになる特性は、少なくとも2つの金属と酸素とから構成されている他の金属酸化物薄膜においても得られるものと考えられる。少なくとも2つの金属と酸素とから構成され、いずれかの金属が化学量論的な組成に比較して少ない状態となっている層の中に、化学量論的な組成の複数の微結晶粒が分散している状態であれば、図2を用いて説明した特性が発現するものと考えられる。

#### 【0094】

例えば、 $\text{BaTiO}_3$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{LiNbO}_3$ 、 $\text{LiTaO}_3$ 、 $\text{PbNb}_3\text{O}_6$ 、 $\text{PbNaNb}_5\text{O}_{15}$ 、 $\text{Cd}_2\text{Nb}_2\text{O}_7$ 、 $\text{Pb}_2\text{Nb}_2\text{O}_7$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ などの金属酸化物薄膜であっても、いずれかの金属が化学量論的な組成に比較して少ない状態となっている層の中に、化学量論的な組成の複数の微結晶粒が分散している状態であれば、前述した実施例と同様の作用効果が得られるものと考えられる。また、例えばビスマスとチタンとの2元金属か

つなぐ既に物の場合、金属既に物層中にフッ素（F）やヘトリウム（ヘトリウム）が添加されている（La, Bi）TiO<sub>2</sub>や（Sr, Bi）TiO<sub>2</sub>のような状態とすることで、各抵抗値の状態を可変制御させることが可能となる。

#### 【0095】

なお、上述では、シリコンからなる基板上の絶縁層、絶縁層上の下部電極層、下部電極層上の強誘電体層の各々をECRスパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、ECRスパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化法や化学気相法（CVD法）、また、従来のスパッタ法などで形成しても良い。

#### 【0096】

また、下部電極層は、EB蒸着法、CVD法、MBE法、IBD法、加熱蒸着法などの他の成膜方法で形成しても良い。また、強誘電体層も、上記で説明したMOD法や従来よりあるスパッタ法、PLD法などで形成することができる。ただし、ECRスパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、強誘電体膜が容易に得られる。

#### 【0097】

また、各層を形成するための各々のECRスパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらのことにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。

#### 【0098】

ところで、素子を並べて複数のデータを同時にメモリ蓄積することを「集積」と呼び、集積する度合いを集積度と呼ぶが、図1の構造は、非常に単純であり、従来のメモリセルに比較して、集積度を格段に上げることが可能となる。MOSFETを基本技術としたDRAMやSRAM、フラッシュメモリなどでは、ゲート、ソース、ドレインの領域を確保する必要があるため、近年では、集積限界が指摘され始めている。これに対し、図1に示す素子によれば、単純な構造を用いることで、現在の集積限界に捕らわれずに集積度を高めることが可能となる。

#### 【0099】

本発明の基本的な思想は、図1に示すように、強誘電体層104を2つの電極で挟むようにしたところにある。このような構成とすることで、2つの電極間に所定の電圧（DC、パルス）を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗状態と低抵抗状態とを切り替え、結果としてメモリ機能が実現可能となる。

#### 【0100】

従って、例えば、図10（a）に示すように、絶縁性基板101aを用い、積層された下部電極層103a、103bを用いるようにしてもよい。また、図10（b）に示すように、絶縁性基板101aを用い、下部電極層103にコンタクト電極103cを設けるようにしてもよい。また、図10（c）に示すように、絶縁性基板101aを用い、積層された上部電極105a、105bを用いるようにしてもよい。さらに、図10（d）に示すように、積層された下部電極層103a、103bと積層された上部電極105a、105bとを用いるようにしてもよい。

#### 【0101】

また、図11（a）に示すように、ガラスや石英などからなる絶縁性の基板1101を用いるようにしてもよい。この構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。この場合、図11（b）に示すように、基板1101に貫通孔形成してここにプラグを設け、基板1101の裏面（下部電極層103の形成面の反対側）より電気的コンタクトをとるようにしてもよい。また、強誘電体層104は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、図11に示す構成とすることで、ディスプレイへの応用が可能となる。また、強誘電体層104を、10～200nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。

#### 【0102】

さらに、図11(c)に示すように、金属などの導電性を有する基板1111を用いるようにしてもよい。また、図11(d)に示すように、基板1111の上に接して下部電極1102を備え、この上に強誘電体層1103、上部電極1104を設けるようにしてもよい。図11(d)に示す構成とした場合、基板1111と上部電極1104との間に所定の電気信号を印加することが可能となる。

#### 【0103】

また、図11(e)に示すように、金属板1121の上に、強誘電体層1112、上部電極1113を設けるようにしてもよい。この構成とした場合、金属板1121が、下部電極層となる。図11(e)に示す構造にすることによって、熱伝導性のよい金属板1121の上に各構成要素が形成されているので、より高い冷却効果が得られ、素子の安定動作が期待できる。

#### 【0104】

なお、強誘電体層104、1103、1112は、膜厚が厚くなるほど電流が流れ難くなり抵抗が大きくなる。抵抗値の変化を利用してメモリを実現する場合、低抵抗状態と高抵抗状態の各々の抵抗値が問題となる。例えば、強誘電体層104、1103、1112の膜厚が厚くなると、低抵抗状態の抵抗値が大きくなり、S/N比がとり難くなり、メモリの状態を判断し難くなる。一方、強誘電体層104、1103、1112の膜厚が薄くなり、リーク電流が支配的になると、メモリ情報が保持し難くなると共に、高抵抗状態の抵抗値が小さくなり、S/N比がとり難くなる。

#### 【0105】

従って、強誘電体層104、1103、1112は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、強誘電体層104、1103、1112は、最低10nmの膜厚があればよい。また、低抵抗状態における抵抗値を考慮すれば、強誘電体層104、1103、1112は300nmより薄くした方がよい。発明者らの実験の結果、強誘電体層104、1103、1112の厚さが30~200nmであれば、メモリの動作が確認されている。

#### 【0106】

上述では、1つの強誘電体素子を例にして説明したが、以降に説明するように、複数の強誘電体素子を配列させて集積させるようにしてもよい。例えば、図12(a)に示すように、絶縁性基板601の上に、共通となる下部電極層602、強誘電体層603を形成し、強誘電体層603の上に、各々所定距離離間して複数の上部電極604を形成すればよい。複数の上部電極604に対応して複数の強誘電体素子が配列されたことになる。複数の上部電極604に対応する素子間の距離を導電性などを考慮して配置することで、安定した動作が期待できる。

#### 【0107】

また、図12(b)に示すように、絶縁性基板601の上に、共通となる下部電極層602を形成し、下部電極層602の上に、強誘電体層613、上部電極614からなる複数の素子を配列させるようにしてもよい。例えば、形成した金属酸化物薄膜を、RIE法やICPエッチング、またECREッチングなど加工法を用いることで、個々の強誘電体層613が形成できる。このように分離して構成することで、素子間の距離をより短くすることが可能となり、集積度をさらに向上させることができる。

#### 【0108】

さらに、図12(c)に示すように、各々の素子を構成している強誘電体層613の側面を、絶縁側壁615で覆うようにしてもよい。また、図12(d)に示すように、各素子に対応して複数の強誘電体層613を形成し、各々分離している複数の強誘電体層613の側部を充填するように、絶縁層625を形成するようにしてもよい。これらのように、素子毎に分離して形成した複数の強誘電体層613の間を絶縁体で覆うことで、各素子間のリーク電流を減らして素子の安定性を高めることができる。

#### 【0109】

また、図13に示すように、半光導体の形態における複数の素子をX方向に11個、Y方向にm個配列し、X方向バスを下部電極層に接続し、Y方向バスを上部電極に接続し、X方向バス及びY方向バスの各々に選択信号のスイッチ機能を備えたプロセッサユニットを接続することで、各素子にランダムにアクセスが可能なメモリが実現できる。

#### 【0110】

例えば、図14の斜視図に示すように、下部電極801、強誘電体層802、上部電極803からなる素子を配列し、各列の下部電極801に共通に各々Y方向バス812を接続し、各行の上部電極803に共通に各々X方向バス811を接続すればよい。選択する素子において交差するX方向バス811とY方向バス812とに前述したように所定の電圧を印加することで、データの書き込みや読み出しを行うことができる。このように構成した場合、メモリセル選択用のトランジスタなどが必要なく、メモリセルを上述した構成の強誘電体素子だけで構成できるので、高集積化が可能である。

#### 【0111】

ところで、強誘電体層104における抵抗値の変化は、電流により制御することも可能である。強誘電体層104に所定の電圧が印加された状態として一定の電流が流れた後に、+0.5Vの電圧が印加されたときに流れる電流値を観察すると、図15に示すように、強誘電体層104に $1 \times 10^{-5}$ Aの電流が流された後に観察される電流値は、ほぼ0Aとなる。同様に、強誘電体層104に $1 \times 10^{-4}$ Aまでの電流が流された後に観察される電流値は、ほぼ0.02A以下となる。

#### 【0112】

これらの状態に対し、強誘電体層104に $1 \times 10^{-4}$ A以上の電流が流された後に観察された電流値は、急激に変化して0.7Aとなる。このことから明らかなように、強誘電体層104における抵抗変化は、強誘電体層104に流れた電流によっても変化し、高抵抗状態と低抵抗状態との2つの抵抗値が存在する。従って、図1、図10、図11、図12に例示した強誘電体素子は、電圧により駆動することが可能であるとともに、電流により駆動することも可能である。

#### 【0113】

また、パルス電圧により、強誘電体層104の抵抗変化を制御できる。例えば、上述した素子に対し、図16に示すように、まず、初期に+0.3Vの直流電圧を印加したときに流れる電流値を測定する。なお、電圧の印加や電流は、下部電極層103と上部電極105との間のことである。ついで、上部電極105と下部電極層103との間に、-4Vで $10 \mu s$ のパルス電圧を1回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、+5Vで $10 \mu s$ のパルス電圧を4回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。

#### 【0114】

引き続き、上部電極105と下部電極層103との間に、-4Vで $10 \mu s$ のパルス電圧を1回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、+5Vで $10 \mu s$ のパルス電圧を4回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。これらを所定回数繰り返した後、上部電極105と下部電極層103との間に、-4Vで $1 \mu s$ のパルス電圧を10回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、+5Vで $1 \mu s$ のパルス電圧を100回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、-3Vで $100 \mu s$ のパルス電圧を100回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。

#### 【0115】

上述した各パルス電圧の印加の後に測定した電流値は、図17に示すように変化する。図17に示すように、初期状態では $10^{-5}$ A以下の電流値を示す高抵抗状態であるが、-

4 Vで10  $\mu$ sのバルス電圧を1回印加すると、10<sup>-5</sup> A以上の電流値を示す低抵抗状態に移行する。さらに、この状態に、+5 Vで10  $\mu$ sのバルス電圧を4回印加することで、10<sup>-5</sup> A以下の電流値を示す高抵抗状態となる。これらのことは、正電圧バルス及び負電圧バルス印加することで、強誘電体層104の抵抗値が変化することを示している。従って、例えば、正電圧バルス及び負電圧バルス印加することで、上記素子のメモリ状態を、「on」の状態から「off」の状態へ変化させ、また、「off」の状態から「on」の状態へ変化させるメモリ動作が可能である。

#### 【0116】

強誘電体層104の抵抗状態を変化させることができる電圧パルスの電圧と時間は、状況により変化させることができる。例えば、+5 Vで10  $\mu$ s、4回の電圧パルスを印加して高抵抗状態とした後、-4 Vで1  $\mu$ sの短いパルスを10回印加することで、低抵抗状態へと変化させることができる。また、この状態に、+5 Vで1  $\mu$ sの短いパルスを100回印加することで、高抵抗状態へと変化させることも可能である。さらに、この状態に、-3 Vと低い電圧として100  $\mu$ sのパルスを100回印加することで、低抵抗状態へと変化させることも可能である。

#### 【0117】

また、図1に示す強誘電体素子によれば、多値のメモリ動作も可能である。例えば、上部電極105と下部電極層103との間に直流電圧を印加したときの電流-電圧特性は、図18に示すように、正側の印加電圧を変化させると異なる低抵抗状態に変化する。図18では、0.5 Vまで印加した後の低抵抗状態と、1.0 Vまで印加した後の低抵抗状態と、1.5 Vまで印加した後の低抵抗状態との、図中に示す読み出し電圧における電流値が異なる。これら各々の状態における読み出し電圧における電流値に対応し、「0」、「1」、「2」の3つの状態（3値）のメモリが実現できる。

#### 【0118】

また、図1に示す素子によれば、パルス電圧の値の違いにより、多値メモリを実現することが可能である。図19に示すように、所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、三角で示す時点で-0.2 Vの読み出し電圧で電流値を読み出すと、図20に示すように、「0」、「1」、「2」の3つの状態（3値）が得られる。この例では、「2」の状態によりリセットがされていることになる。

#### 【0119】

次に、図1に示した素子の各電極に用いることが可能な他の金属材料について、以下に説明する。まず、図1に示す強誘電体素子において、強誘電体層104が接触する部分の下部電極層103が、白金から構成されている場合について説明する。この場合、下部電極層103は、絶縁層102の側から、ルテニウム、白金の順に積層された多層膜とする。また、下部電極層103は、絶縁層102の側から、チタン、白金の順に積層された多層膜としてもよい。絶縁層102の側に、ルテニウムやチタンの層を設けることで、絶縁層102との密着性が向上する。

#### 【0120】

このように、白金からなる下部電極層103の上に接して強誘電体層104が形成された強誘電体素子においては、電流電圧特性が、図21に示すようになる。図21は、上部電極105に印加する電圧をゼロから正の方向に増加させた後にゼロに戻し、さらに負の方向に減少させ、最後に再びゼロに戻したときに強誘電体層104の中を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、上部電極105に電圧を0 Vから正の方向に徐々に印加させた場合、強誘電体層104を流れる正の電流は比較的少ない（高抵抗状態）。

#### 【0121】

しかし、1 Vを超えると急激に正の電流値が増加し始める。さらに約1.6 Vまで電圧を上げた後、逆に正の電圧を減少させていくと電圧値が約0.5 V以下になると、電流値が減少に転じる（低抵抗状態）。このときの正の電流は、上述した高抵抗状態と比べて流れやすい状態であり、電流値は0.2 Vで約50  $\mu$ A程度である。印加電圧をゼロに戻す



し、電流値もゼロになる。

#### 【0122】

次に、上部電極105に負の電圧を印加していく。この状態では、負の電圧が小さいときは、前の履歴を引き継ぎ、比較的大きな負の電流が流れる。ところが、 $-0.3\text{ V}$ 程度まで負の電圧を印加すると、負の電流が突然減少し始め、この後、約 $-0.4\text{ V}$ 程度まで負の電圧を印加すると、負の電流値は減少し続けてゼロに戻る。この後、上部電極105に印加する電圧を、 $-0.1\text{ V}$ 程度まで変化させた後、今度は、 $0\text{ V}$ にまで変化させても、ほとんど電流は流れない。

#### 【0123】

以上に説明したように、白金から構成された下部電極層103を用いるようにしても、強誘電体層104には、低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。従って、図1に示す強誘電体素子の下部電極層103を白金から構成しても、図1に示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子の実現できる。

#### 【0124】

次に、図1に示す強誘電体素子において、強誘電体層104が接触する部分の下部電極層103が、窒化チタンから構成されている場合について説明する。この場合、下部電極層103は、窒化チタンの単層膜から構成すればよい。このように、窒化チタンからなる下部電極層103の上に接して強誘電体層104が形成された強誘電体素子においては、電流電圧特性が、図22に示すようになる。

#### 【0125】

窒化チタンから下部電極層103が構成されている場合、上部電極105に印加する正の電圧を $0\text{ V}$ から $V_{w0}$ まで間で掃引した場合は、図22に黒丸で示すように、高抵抗状態が保持される。これに対し、上部電極105に印加する正の電圧を $V_{w0}$ より大きい $V_{w1}$ まで印加すると、図22に白丸で示す低抵抗状態に遷移する。また上部電極105に、 $V_{w0}$ の電圧を印加すると、高抵抗状態に遷移する。

#### 【0126】

以上に説明したように、窒化チタンから構成された下部電極層103を用いるようにしても、強誘電体層104には、低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。従って、図1に示す強誘電体素子の下部電極層103を窒化チタンから構成しても、図1に示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子の実現できる。

#### 【0127】

図11に示す強誘電体素子において、石英からなる絶縁性の基板1101の上に形成された下部電極層103がルテニウムから構成され、上部電極105が窒化チタンから構成された場合について説明する。このように、窒化チタンからなる上部電極105が強誘電体層104の上に形成されている場合、電流電圧特性が、図23に示すようになり、図21に示した結果と同様の傾向を示す。従って、上部電極105に窒化チタンを用いるようにしても、強誘電体層104には、低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。

#### 【0128】

従って、図11(a)に示す強誘電体素子の上部電極105を窒化チタンから構成しても、図11(a)に示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子の実現できる。また、この構成とした強誘電体素子においても、図24に示すように、長期にわたって状態が保持されることがわかる。

#### 【0129】

一般に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶は、擬ペロブスカイト構造を有するピスマス層状の強誘電体であるが、膜厚を $40\text{ nm}$ 以下と薄層化した場合、リーク電流が多く流れるようにな

るために明確な強誘電性が既測されないことが加わっている。平大胞の形態における $\text{D}_{14}\text{Ti}_3\text{O}_{12}$ から構成された図1(b)に例示する構成の強誘電体層（金属酸化物薄膜）においても、膜厚が40 nm以下になると電流が多く流れるようになり（測定値）、明確な強誘電性が観測されない。これに対し、上記金属酸化物薄膜は、膜厚が40 nmを超えて厚くなると、成膜直後の状態で、流れる電流（測定値）が小さくなり、僅かに強誘電性が観測されるようになる。

#### 【0130】

図1に示す強誘電体素子を構成する強誘電体層104は、強誘電性が確認できる程度にリーク電流（測定値）が小さい場合には、図25(a)に示すような電流電圧特性を示す。図25(a)に示す状態を説明すると、まず、0 Vで0 Aの初期状態から、正の直流電圧を印加していくと、正の電流が流れ始める。流れる電流値は、はじめは穏やかに増加していくが、+4 V以上の電圧を印加すると電流値が大きくなり、+5.3 Vで+2.5 nAの電流値が流れるようになる。

#### 【0131】

この状態から、印加している電圧を順次小さくしていくと、初期値からの電流電圧特性とは異なり、電流が流れない傾向の特性をとるようになる。これは、電圧を小さくするように掃引しているため、キャパシタ間に蓄えられている電荷量が時間とともに減少し、これが負の変位電流として現れるからである。従って、ここで観測されているリーク電流は、実際に膜中を流れているリーク電流に、上述した変位電流が重ね合わさった値に等しい。例えば、電圧を低下させる場合、+4 Vにまで低下すると、電圧を上昇させている場合（+1 nA）とは異なり、+0.1 nA程度しか流れなくなる。しかも、印加する電圧を0 Vに低下させると、-0.5 nAの電流が流れるようになる。

#### 【0132】

さらに、負の電圧を印加していくと、例えば、-4 Vで-2.3 nA程度、-5.3 Vで-2.8 nA程度の負の電流が流れる。この状態から負の電圧を0に近づけていくように、電圧を正の方向に掃引して行くと、今度は先と反対の変位電流が流れるようになる。実際に膜中を通過しているリーク電流に加え、上述した正の変位電流がリーク電流として観測されるため、電圧を負の方向に掃引してきた場合と異なる電流電圧特性を示す。例えば、-4 Vで-0.5 nA程度しか流れず、印加する電圧を0 Vにしても、+1 nAの正電流が流れるようになる。

#### 【0133】

以上に説明したように、リーク電流が小さい場合には、変位電流の振る舞いが支配的になるため、電圧を掃引する方向（電圧の増加、減少）の違いによる、電流電圧特性の変化が顕著に観測される。しかしながら、このような現象は、キャパシタ間の電圧の時間変化に伴う電荷量の時間変化が、掃引の方向により正負の異なる変位電流として現れることが原因で生じているため、電圧の掃引速度を遅くしていくと消失していく現象である。例えば、先と同様の素子において異なる掃引速度で電流電圧を測定すると、図25(b)に示すように、特性に変化が現れる。図25(b)から明らかなように、掃引速度が遅い方が、掃引方向の違いによる電流電圧特性の変化が小さい。また、掃引速度をさらに遅くして準静的な掃引をすれば、掃引方向にかかわらず、電流電圧特性は同じになり、実際に膜中を通過するリーク電流の特性のみが観測されるようになる。

#### 【0134】

従って、図25(a)に示した電流電圧特性のヒステリシスに似た現象は、電圧の掃引により正負の異なる変位電流が、実際に膜中を流れるリーク電流に重ね合わさったために観測されているだけである。これは、素子の抵抗変化（実際の膜中を流れるリーク電流値の変化）とは全く関係なく起こる現象であり、一般の強誘電体を含む誘電体キャパシタで観測され得る現象である。また、当然ながら、このような電流特性の変化をメモリ動作として利用することは、原理的に不可能である。

#### 【0135】

また、一般的に耐圧が高い絶縁膜や強誘電体膜においては、5 Vを超える高い電圧を印



加すること、膜が静電破壊することもある。例えば、同じ強誘電体膜となる例えば膜厚200 nm以上の強誘電体薄膜に、高い電圧を印加した場合について以下に示す。図26に示すように、+15 Vまで印加しても、 $10^{-9}$  A程度の微少な電流しか流れないが、これ以上の電圧を印加すると急激に電流が流れるようになり、薄膜自体が破損する静電破壊（ブレイクダウン）を引き起こす。このように静電破壊した薄膜は、これ以降常に大きな電流が流れる状態となり、2つ以上の抵抗値を持つ状態は得られない。

#### 【0136】

以上に説明した強誘電体における特性に対し、図1(b)、図7、及び図9に例示したように、「 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部層の中に、粒径3~15 nm程度の複数の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の微結晶粒が分散している金属酸化物薄膜（強誘電体層104）」は、膜厚40 nm程度の状態では、図27に示すような電流電圧特性を示す。まず、図4、5を用いて説明したように、ECRスパッタ法により強誘電体層104を形成し、図4(d)に示すような素子を形成した初期の段階では、+14 Vまで電圧を印加しても、 $10^{-9}$  A程度の微少な電流しか流れない高い電気耐圧を示す状態となっている。

#### 【0137】

さらに、+15 V以上の電圧を印加すると、図26に示した特性と同様に、急激に電流が流れるようになる。しかしながら、強誘電体層104では、高電圧を印加して電流が流れる状態となった後に負の電圧を印加すると、 $-10^{-2}$  A程度の電流が流れるが、印加する負の電圧を-2 V程度とすると、急に電流が流れない高抵抗の状態となる。この後、この状態から正の電圧を印加すると、正の高抵抗状態の電流電圧特性となり、+2.5 V程度で急激に電流値が大きくなり、正の低抵抗状態となる。これは、図21に示す特性と同様である。

#### 【0138】

以上に説明したように、強誘電体層104は、40 nm程度以上の膜厚においては、電気耐圧の大きい成膜初期状態において、+15 V程度の高い電圧を印加することで、図2などに示すような、特徴的な電流電圧特性が発現されるようになる。このように、成膜初期状態から抵抗変化特性を示す状態に変化させる初期処理を、電氣的初期化（Electrical Orientation: EO）処理と呼ぶこととする。本実施の形態の金属酸化物薄膜は、膜厚が厚く電氣的な耐圧が高い状態で成膜した状態では、EO処理をすることで、前述した各特性を示すようになり、強誘電体素子などを実現することが可能となる。

#### 【0139】

上述したEO処理は、10 Vを超える電圧を素子に印加することになるため、例えば、半導体素子と集積して図1に示す素子を形成している状態でEO処理をする場合、半導体素子を破壊する場合がある。これを抑制するために、ECRプラズマを用いてEO処理を行うようにしてもよい。例えば、ECRプラズマ装置では、発散磁界によりプラズマ流を生成し、20~30 eVのエネルギーを持つプラズマ流を処理対象の基板に照射させることができる。プラズマ流中のエネルギー分布は、プラズマ流の発散方向に垂直な断面では、磁界の分布を反映して中心から周辺に向かって分布を持っている。

#### 【0140】

このエネルギー分布は、発散磁界の発散度により数eVから数10 eVの間で制御可能であり、中心と周辺との間で数ボルトから数十Vの電位差を発生させることができる。従って、図1に示す素子において、下部電極層103に接続する配線の一端をプラズマ流の周辺部に晒し、上部電極105がプラズマ流中の中央部に晒される状態とすれば、プラズマ流中の分布から発生する電位差で、これら2つの電極間にEO処理に必要な電圧を印加することが可能となる。例えば、Arを主成分とするプラズマを発生させて素子に照射することで、1秒から数十秒という短い時間でEO処理をすることが可能である。

#### 【0141】

また、上述したようにプラズマを利用することで、図28に示すように、複数の素子に対して、同時にEO処理をすることも可能である。図28では、図12(a)に示した、

六面とした強誘電体層104の上の複数の上部電極105により複数の素子が配列して集積された装置に対し、ECRプラズマ流を照射することで、EO処理を行う状態を示している。ECRプラズマ流の分布から発生する電位差を、複数の素子のEO処理に必要な電位差を超える値に制御することで、装置に集積されている複数の素子に対してEO処理をすることが可能となる。

#### 【0142】

ところで、強誘電体層104における抵抗値をスイッチ（変化）させる電圧値は、図29に例示するように、電圧の印加時間を変化させることにより制御することができる。図29は、+1.6Vで低抵抗状態になだらかに遷移する素子において、+1Vの電圧を印加した場合の素子の抵抗値の変化を示す説明図である。図29において、横軸は電圧を印加している時間を示し、縦軸は素子の抵抗値を示している。通常の動作電圧1.6Vを印加した場合、 $t_{L1}$ （約150ms）という短い時間で低抵抗状態へと遷移させることができる。一方、通常の動作電圧よりもやや低い電圧1Vを印加した場合でも、印加する時間を $t_{L2}$ （約3.7秒）と長くすることで、低抵抗状態へと遷移させることができる。このように、電圧印加の時間制御により、動作電圧を変化させてメモリとして駆動させることが可能となる。

#### 【0143】

また、多値メモリ動作は、次に示すように実現することができる。以下、図30を用いて多値メモリ（3値メモリ）動作について説明する。図30は、上部電極と下部電極層との間に一定電圧（例えば1.2V）を印加したときの、素子の抵抗値の時間変化を示している。例えば、上部電極と下部電極層との間に一定の電圧を印加し続け際の印加時間を変化させることで、2つの低抵抗状態をつくり出すことができる。図30に示すように、高抵抗状態から $t_1$ 秒（例えば250ms）だけ電圧を印加すれば、低抵抗状態1（データ「1」）への遷移が可能となる。一方、より長い時間 $t_2$ だけ電圧を印加すると、低抵抗状態2（データ「2」）への遷移が可能となる。—1.2V程度で高抵抗状態（データ「0」）に遷移させ、リセットさせることが可能であり、このリセット状態からの電圧印加時間を $t_1$ 、 $t_2$ と変化させることにより、3値メモリが実現できる。

#### 【図面の簡単な説明】

#### 【0144】

【図1】本発明の実施の形態における強誘電体素子の構成例を概略的に示す模式的な断面図（a）及び強誘電体層104の部分を示す断面図（b）である。

【図2】下部電極層103と上部電極105との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測した結果を示す特性図である。

【図3】図1に示した素子におけるデータ保持について示す特性図である。

【図4】図1に示した強誘電体素子の製造方法例について説明する工程図である。

【図5】図4に示す製造方法で用いるECRスパッタ装置の概略的な構成例を示す模式的な断面図である。

【図6】ECRスパッタ法を用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の、導入した酸素流量に対する成膜速度の変化を示した特性図である。

【図7】強誘電体層104の構成例として作製した薄膜の断面を透過型電子顕微鏡で観察した結果を示し、（a）、（b）、（c）、（d）は、顕微鏡写真であり、（a'）、（b'）、（c'）、（d'）は、各々の状態を模式的に示した模式図である。

【図8】膜形成時の基板温度条件に対する成膜速度と屈折率の変化を示したものである。

【図9】強誘電体層104の他の構成例を示す模式的な断面図である。

【図10】本実施の形態に係る強誘電体素子の他の構成例を示す模式的な断面図である。

【図11】本実施の形態に係る強誘電体素子の他の構成例を示す模式的な断面図である。

【図 1 2】本実施の形態に係る強誘電体素子の他の構成例を示す模式的な断面図である。

【図 1 3】本実施の形態に係る強誘電体素子の他の構成例を示す模式的な平面図である。

【図 1 4】本実施の形態に係る強誘電体素子の他の構成例を示す模式的な斜視図である。

【図 1 5】図 1 に示す素子の強誘電体層 1 0 4 に所定の電圧が印加された状態として一定の電流が流れた後に、+ 0 . 5 V の電圧が印加されたときに流れる電流値を観察した結果を示す特性図である。

【図 1 6】図 1 に示す素子をパルス電圧により駆動する動作例を示すタイミングチャートである。

【図 1 7】図 1 6 に示す駆動制御による電流値の変化を示す特性図である。

【図 1 8】図 1 に示す素子の多値動作について説明するための説明図である。

【図 1 9】図 1 に示す素子の多値動作について説明するための説明図である。

【図 2 0】図 1 に示す素子の多値動作について説明するための説明図である。

【図 2 1】他の金属材料から電極を構成した場合の電流電圧特性を示す特性図である。

【図 2 2】他の金属材料から電極を構成した場合の電流電圧特性を示す特性図である。

【図 2 3】他の金属材料から電極を構成した場合の電流電圧特性を示す特性図である。

【図 2 4】他の金属材料から電極を構成した場合のデータ保持について示す特性図である。

【図 2 5】2 つ以上の金属から構成された酸化物よりなる強誘電体（薄膜）の一般的な電流電圧特性を示す特性図である。

【図 2 6】静電破壊（ブレイクダウン）の過程を示す特性図である。

【図 2 7】所定の膜厚以上とした強誘電体層 1 0 4 の電圧電流特性を示す特性図である。

【図 2 8】複数の素子に対して E C R プラズマを照射して E O 処理をする状態を説明するための説明図である。

【図 2 9】+ 1 . 6 V で低抵抗状態になだらかに遷移する素子において、+ 1 V の電圧を印加した場合の素子の抵抗値の変化を示す説明図である。

【図 3 0】上部電極と下部電極層との間に一定電圧（例えば 1 . 2 V）を印加したときの、素子の抵抗値の時間変化を示す説明図である。

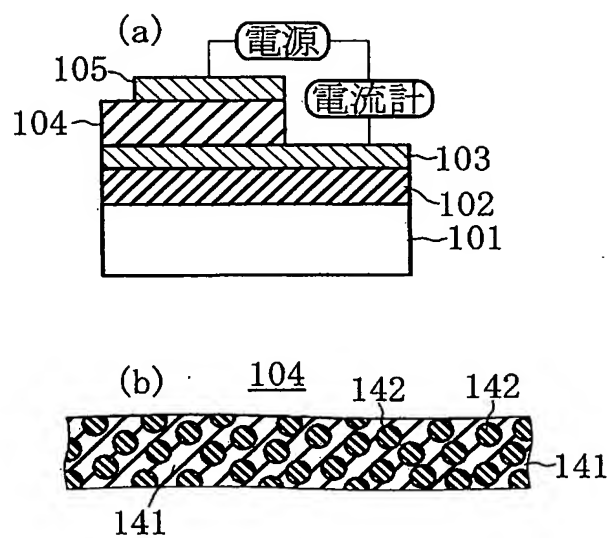
【図 3 1】従来よりある素子の構成を示す模式的な断面図である。

【符号の説明】

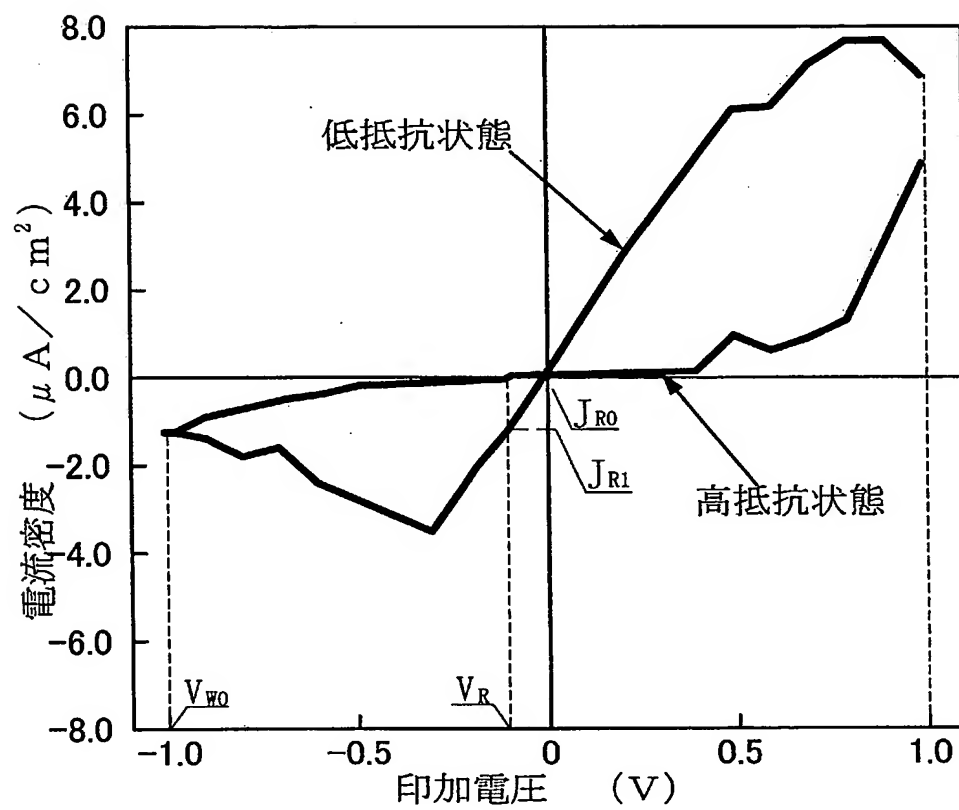
【0 1 4 5】

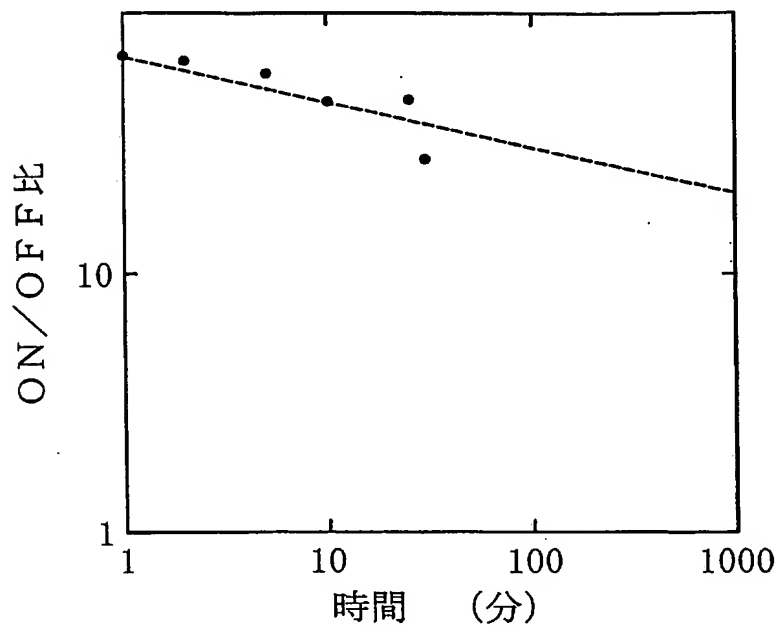
1 0 1 … 基板、1 0 2 … 絶縁層、1 0 3 … 下部電極層、1 0 4 … 強誘電体層、1 0 5 … 上部電極。

【図 1】

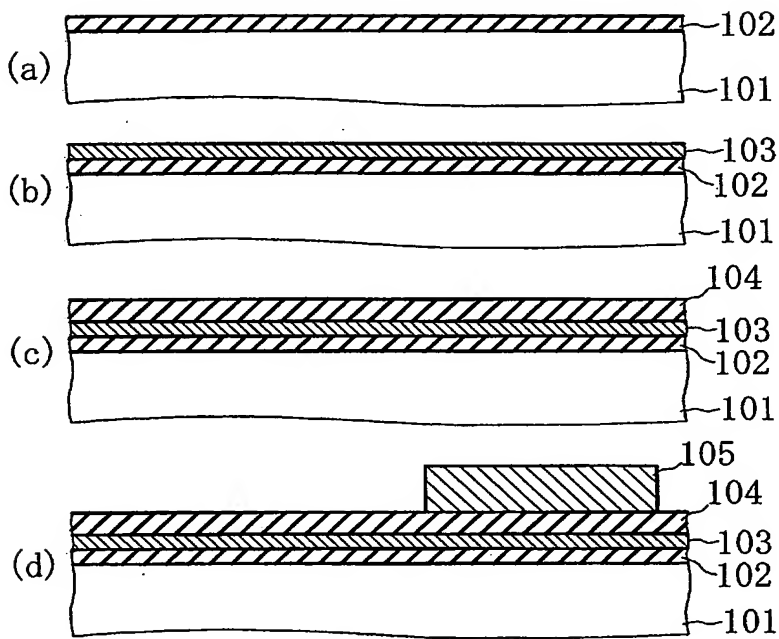


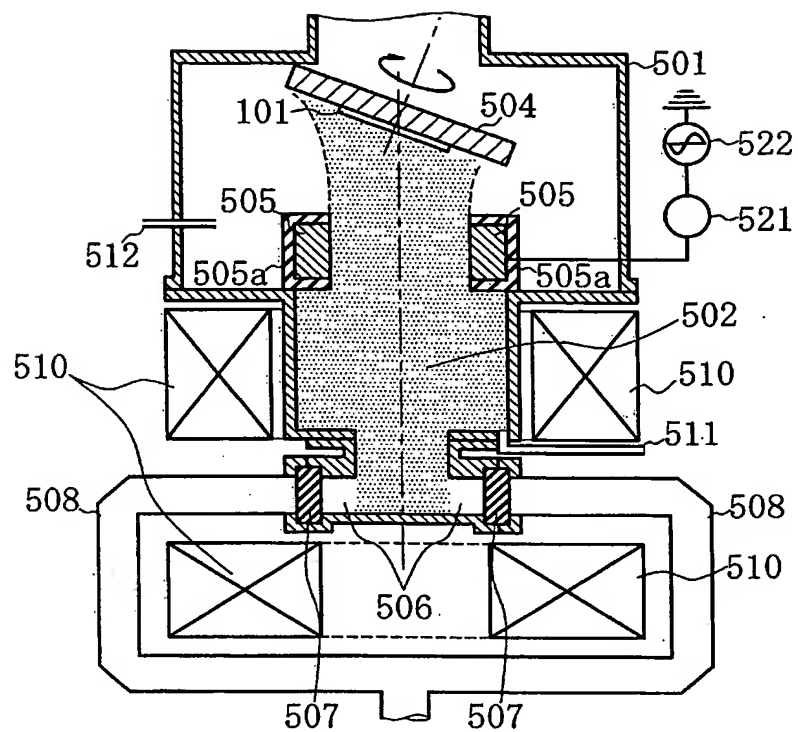
【図 2】



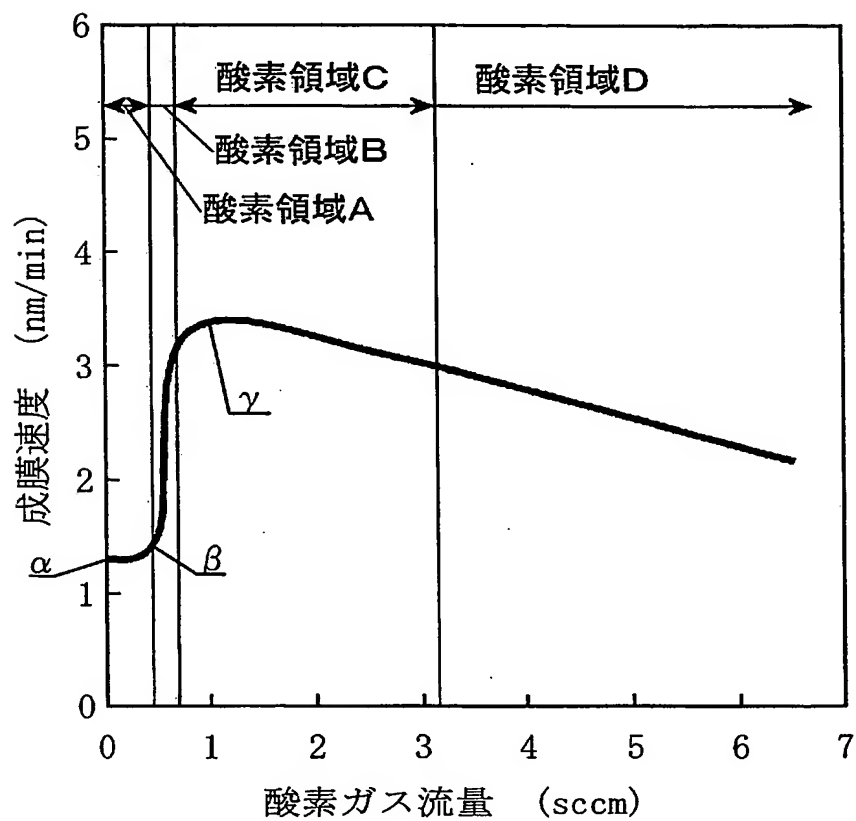


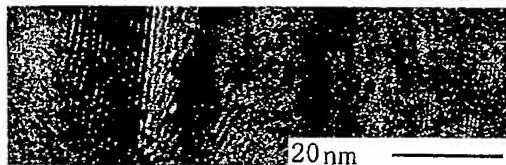
【図 4】



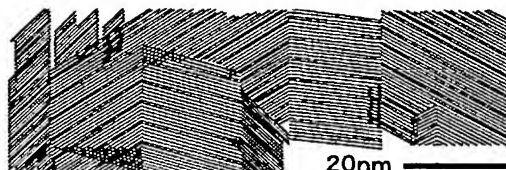


【図 6】

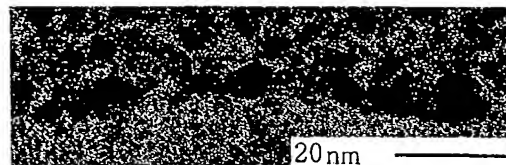




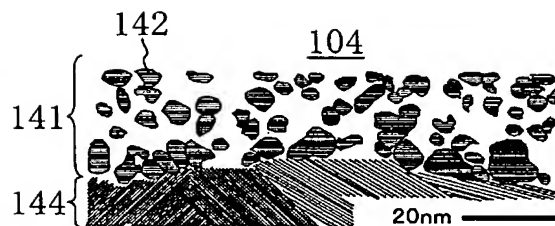
(a)



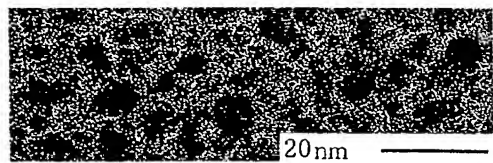
(a')



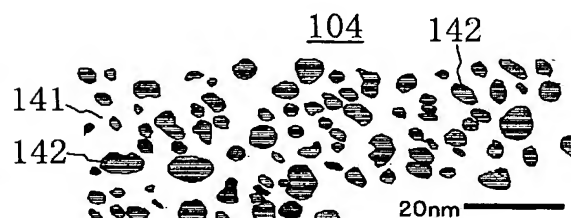
(b)



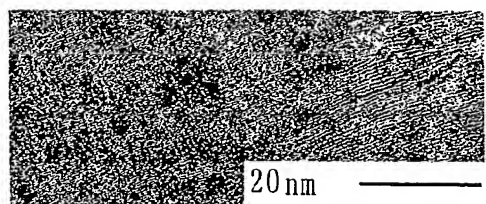
(b')



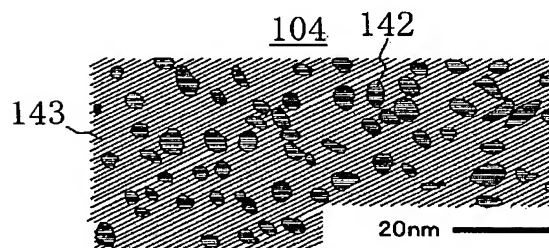
(c)



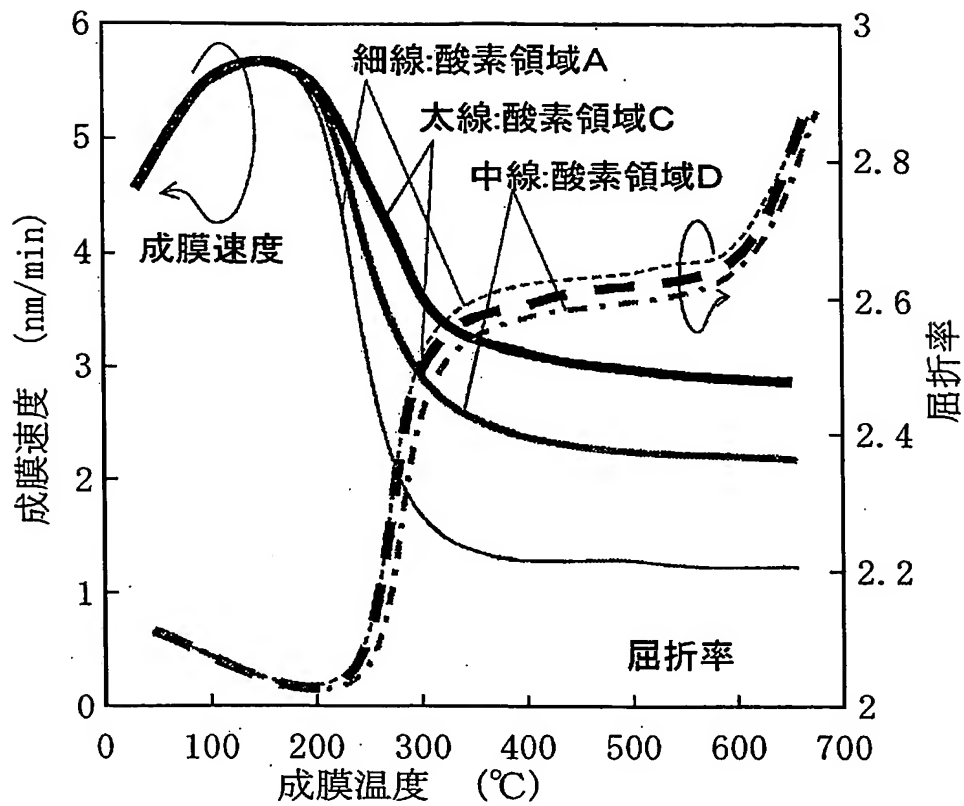
(c')



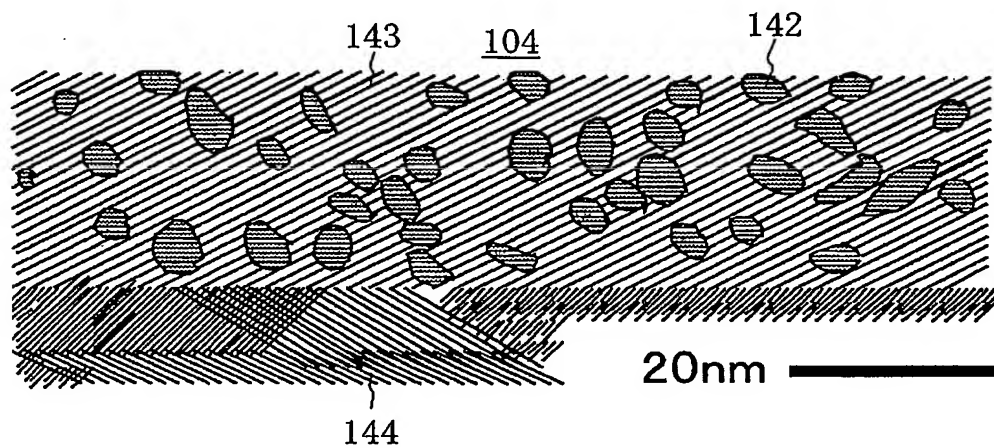
(d)



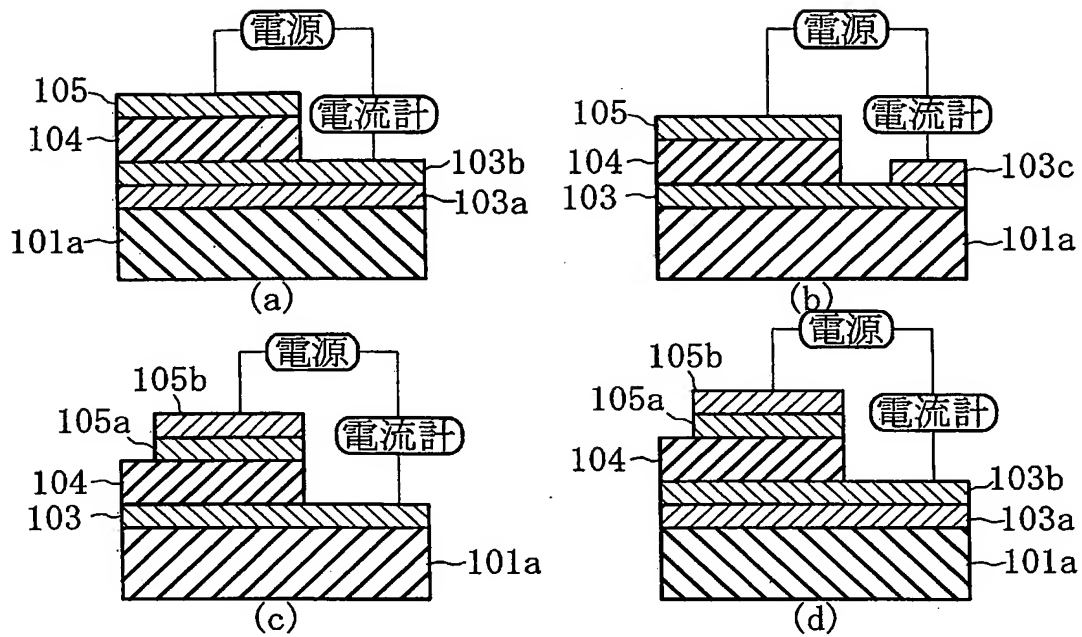
(d')



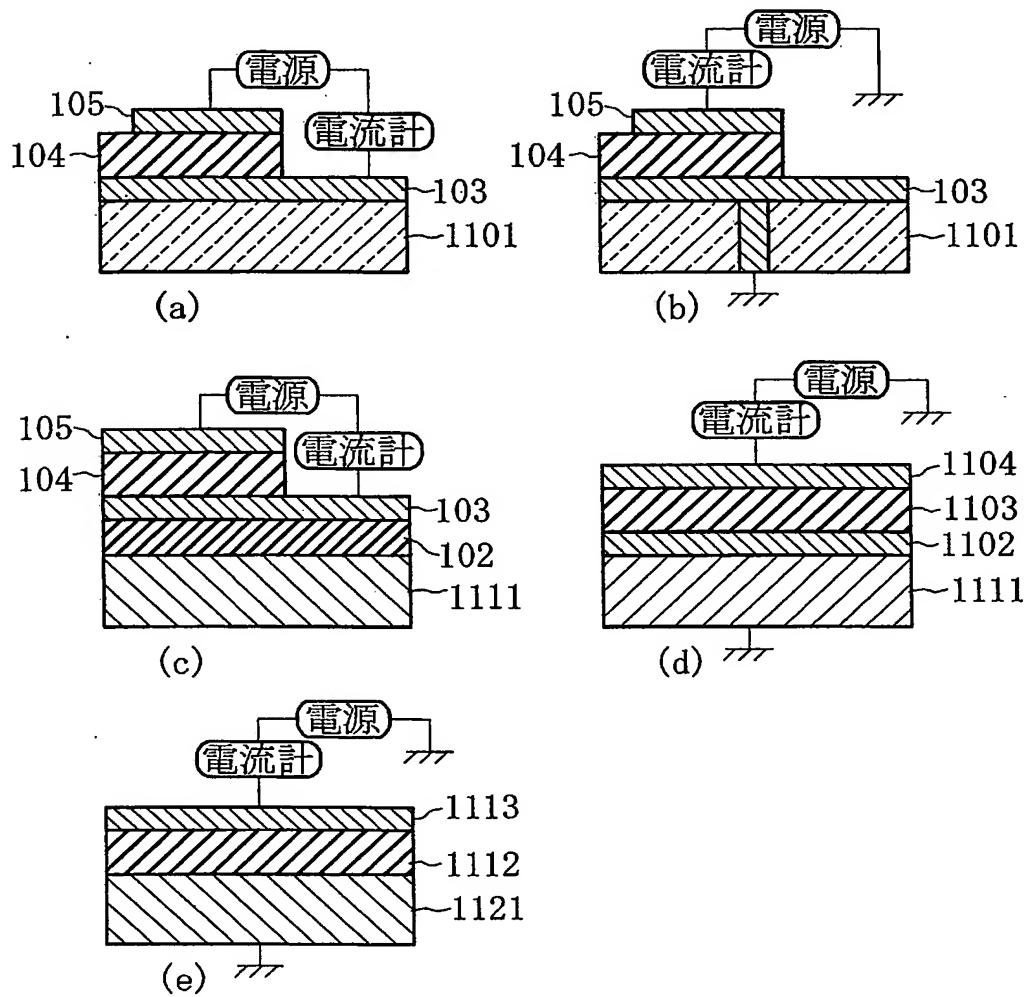
【图 9】

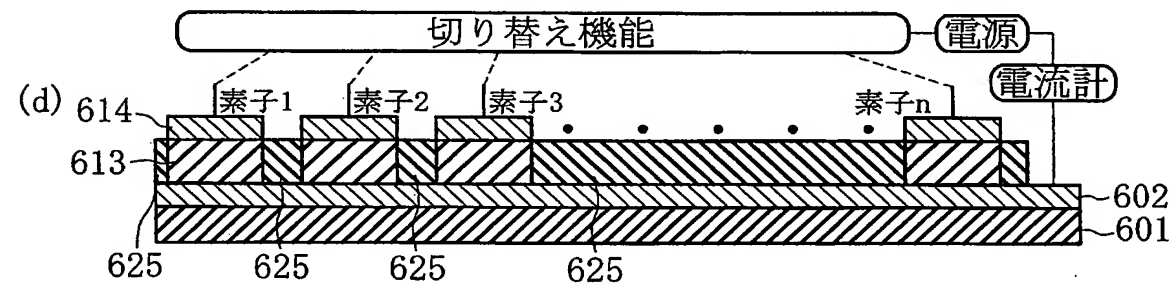
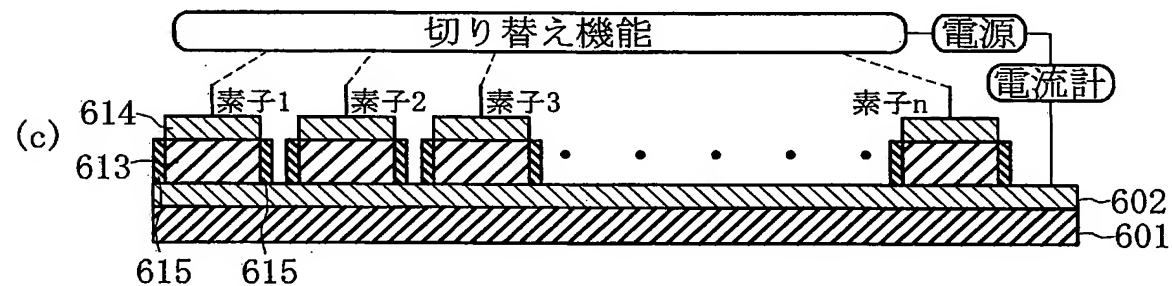
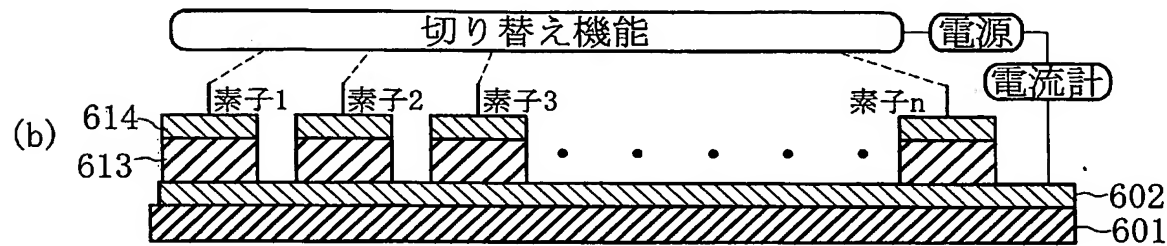
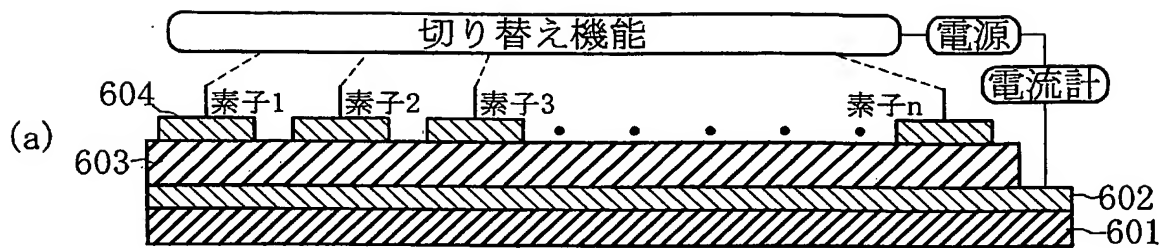


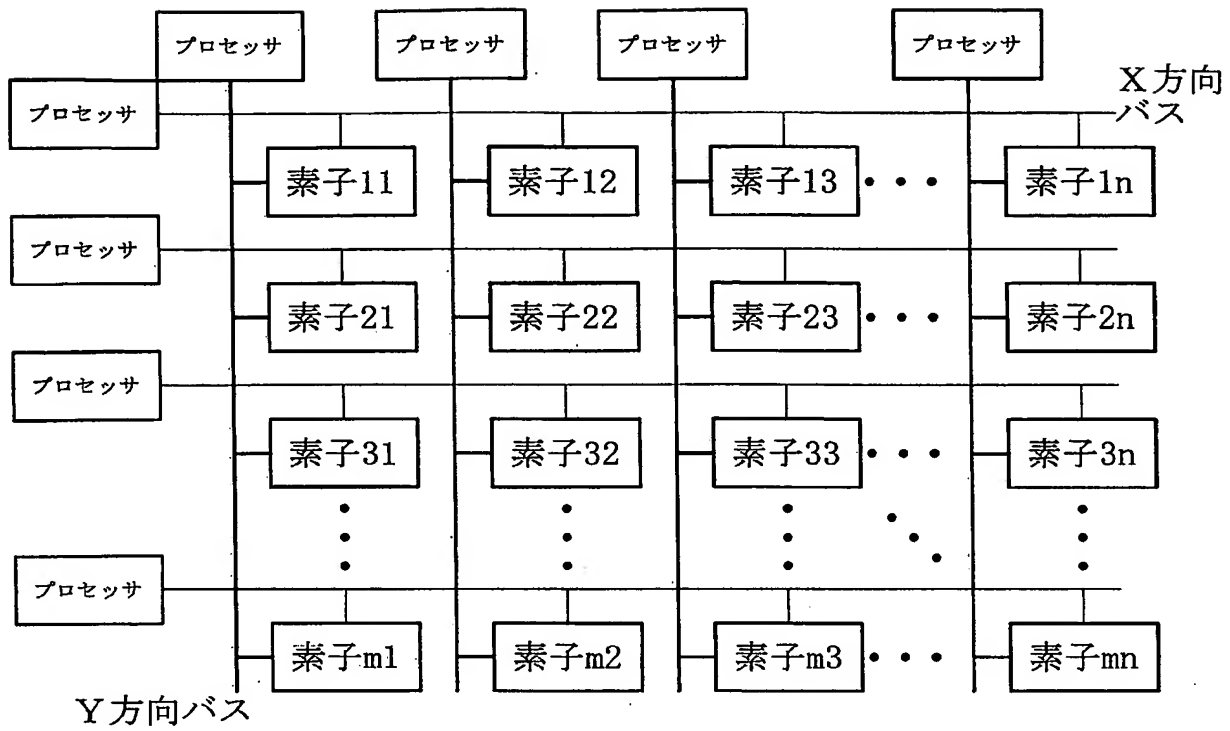




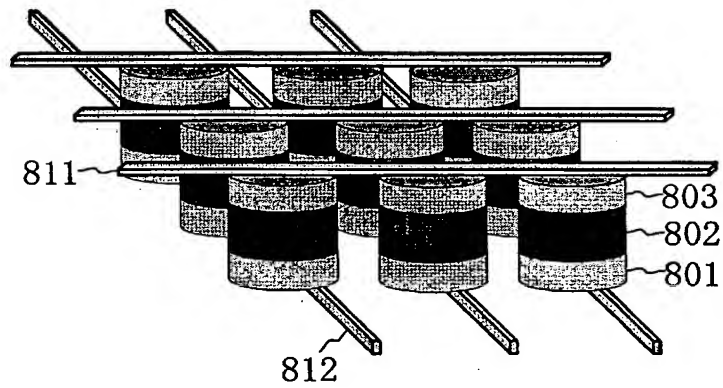
【図 11】

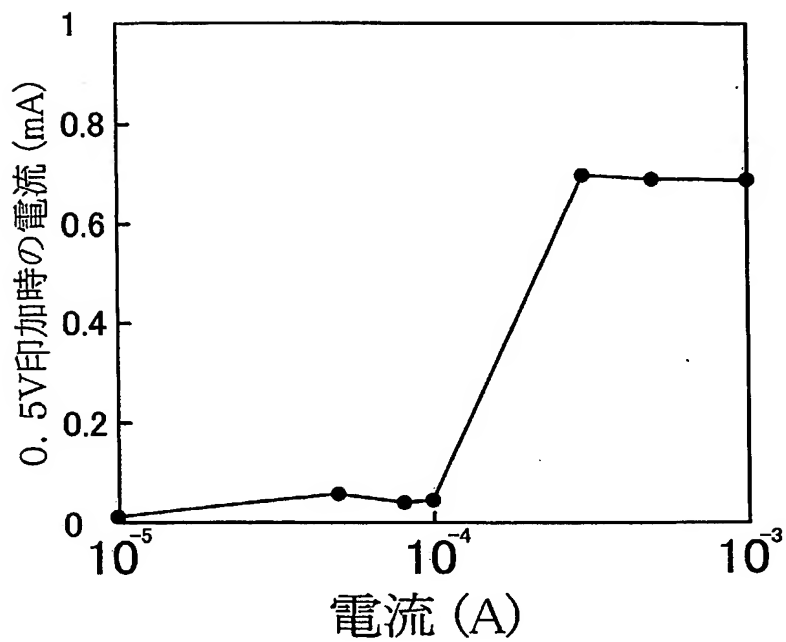




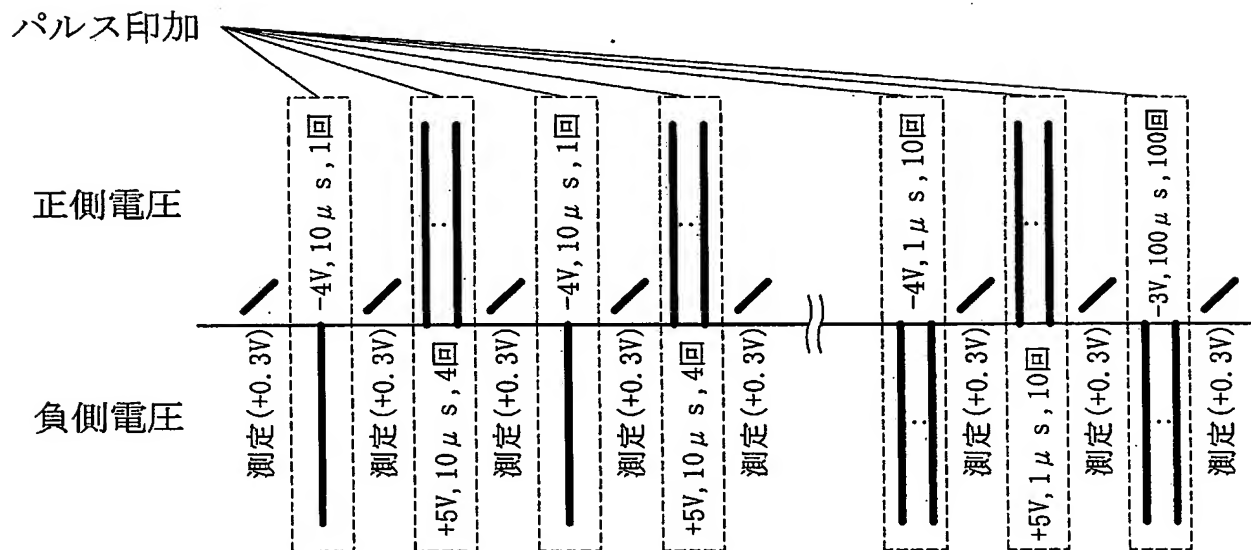


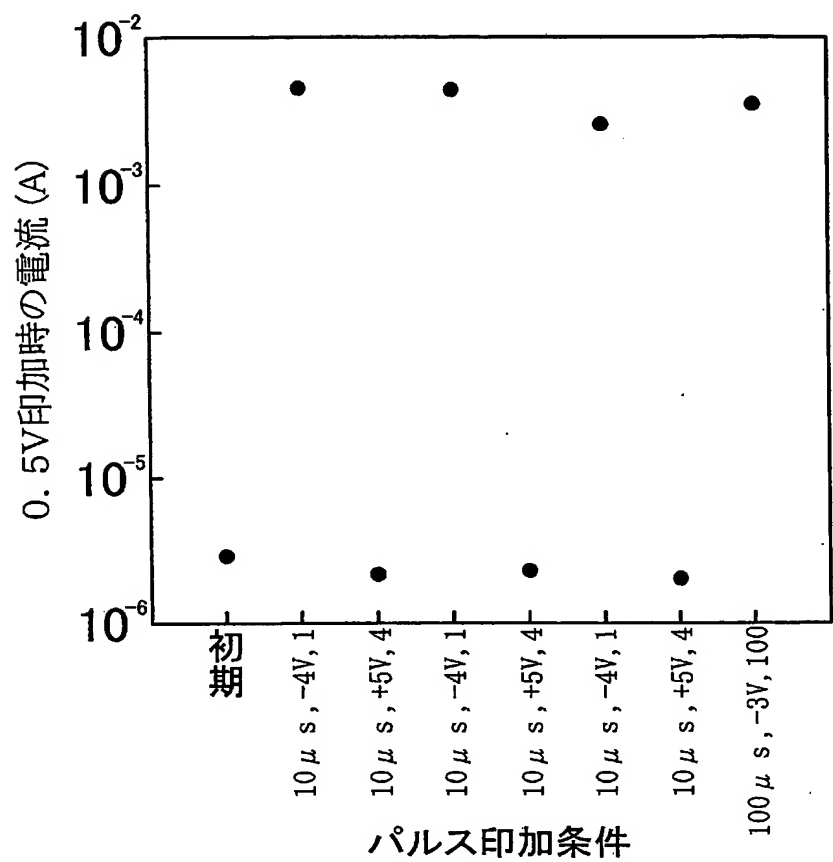
【図 1 4】

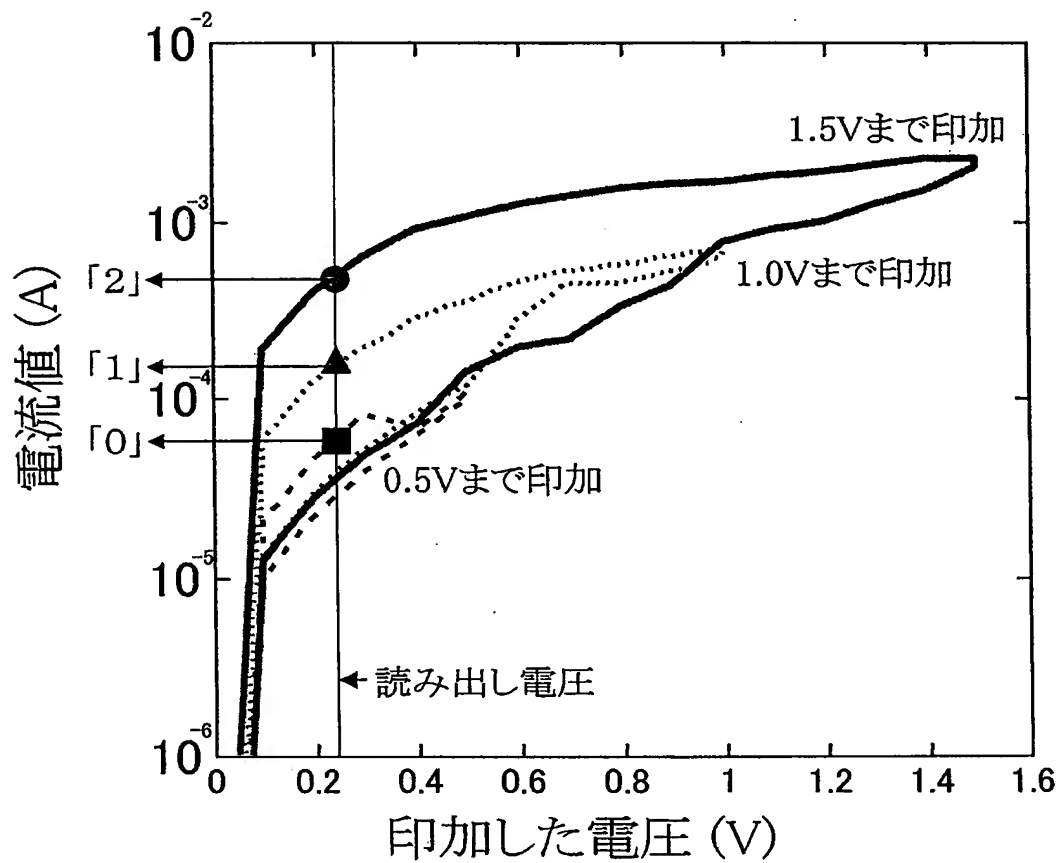




【図 16】



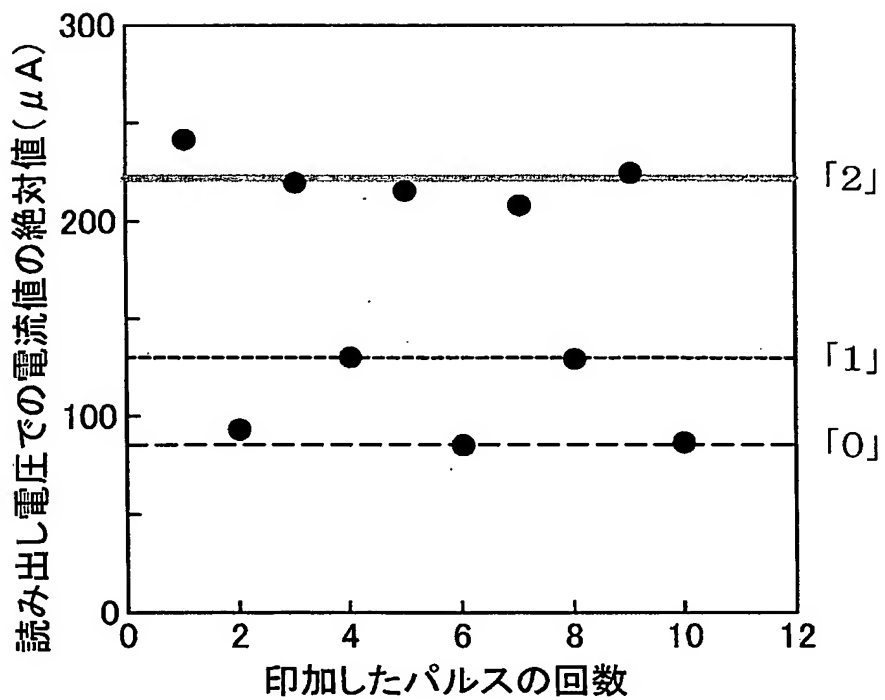




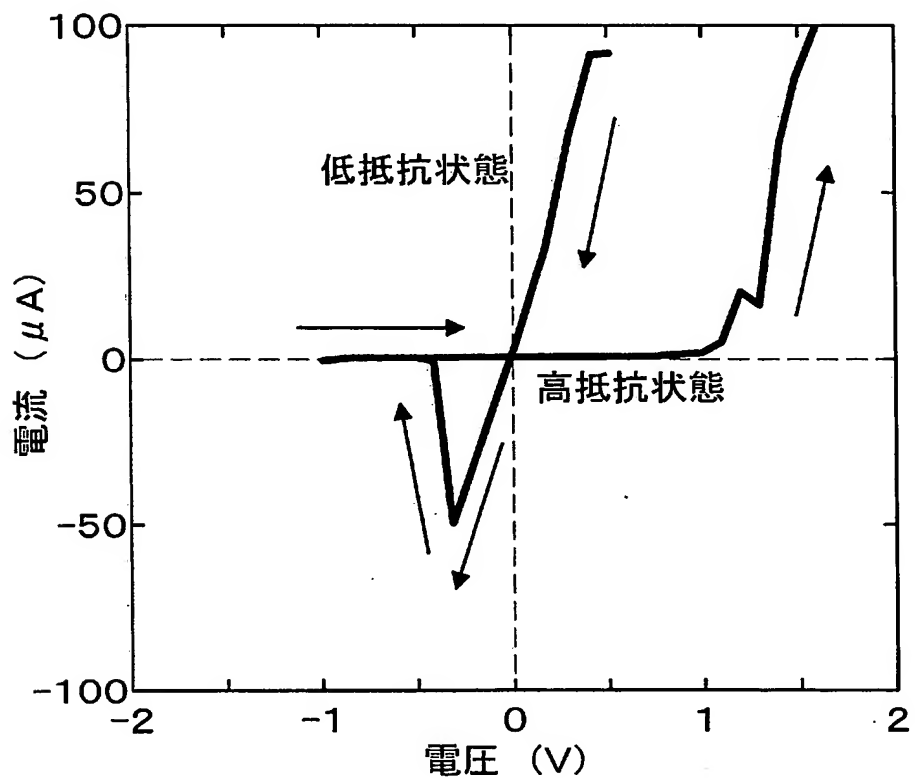
【図 1 9】

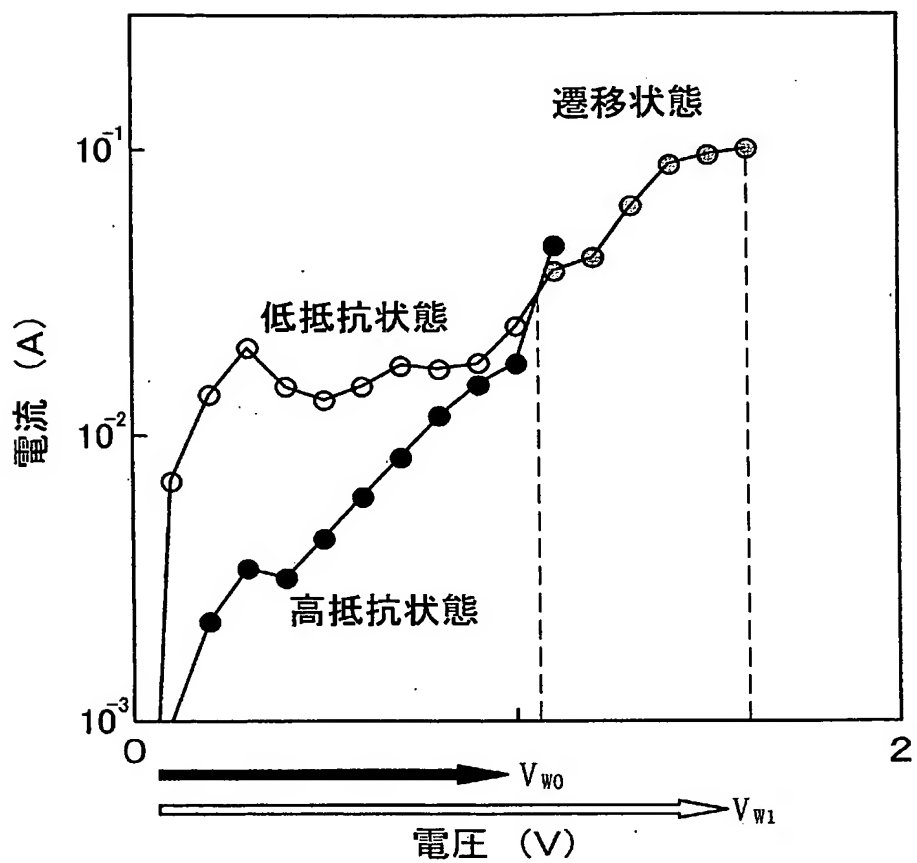
パルス回数	1	2	3	4	5
パルス電圧 (V)	+3	-3	+3	+1.5	+3
パルス幅 (μsec)	10	10	10	10	10
状態	「1」	「0」	「2」	「1」	「2」

【図 2 0】

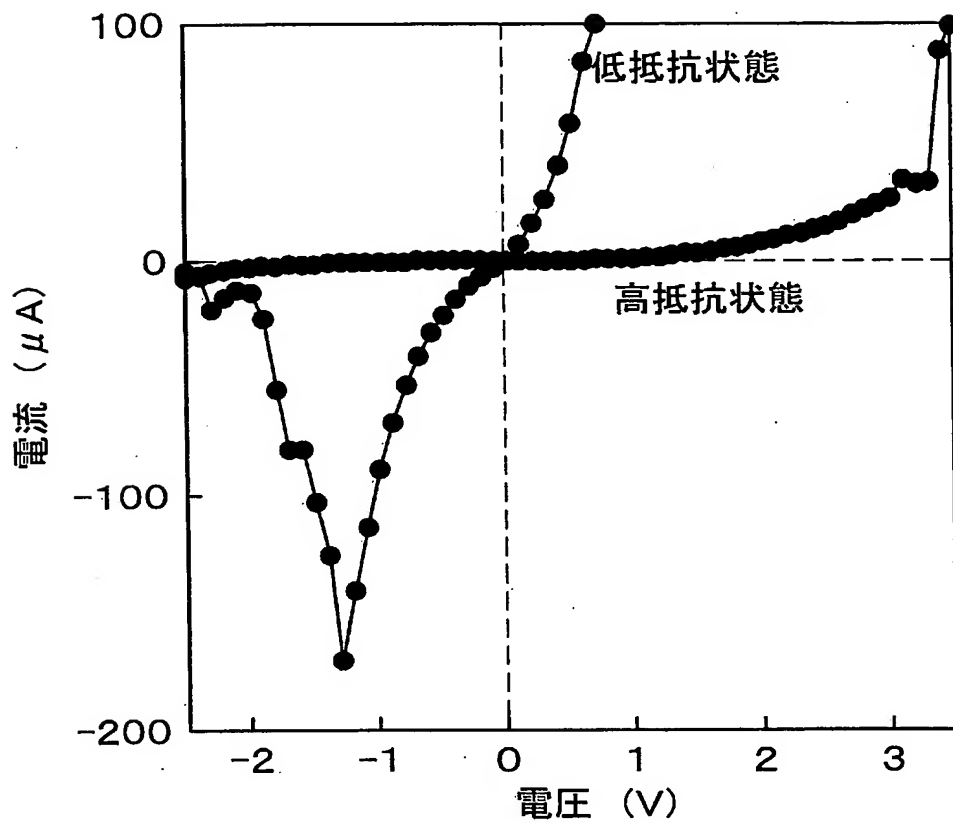


【図 2 1】

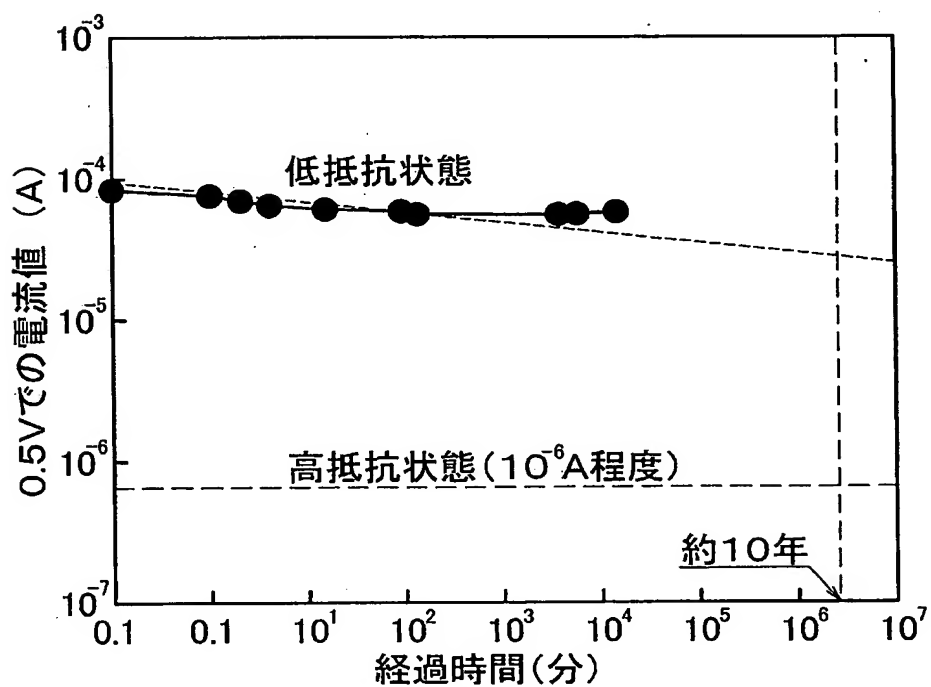


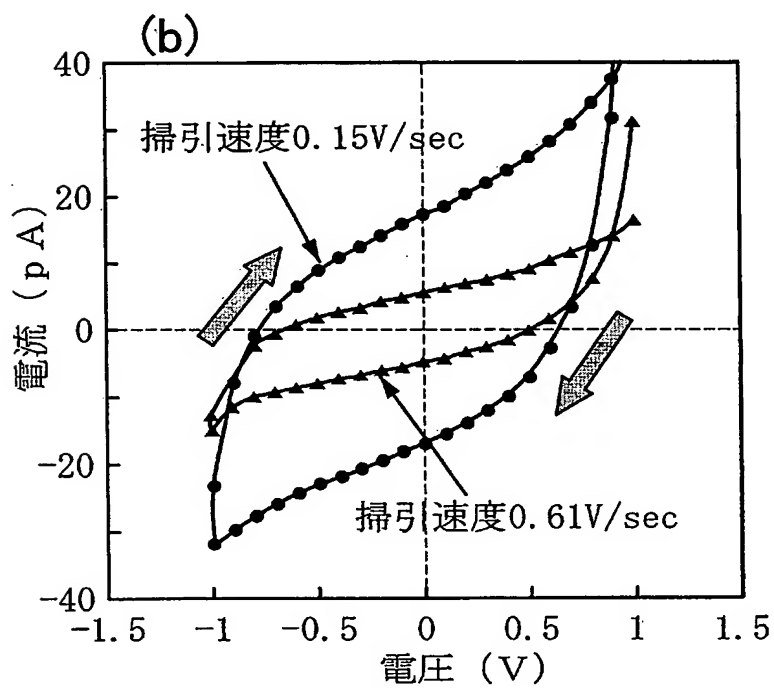
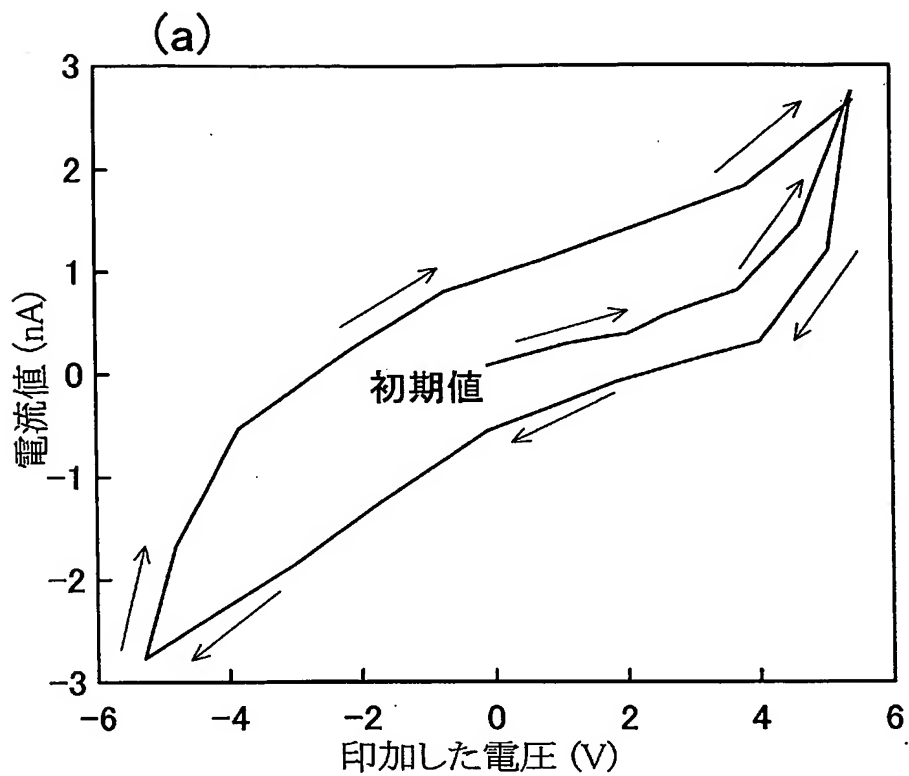


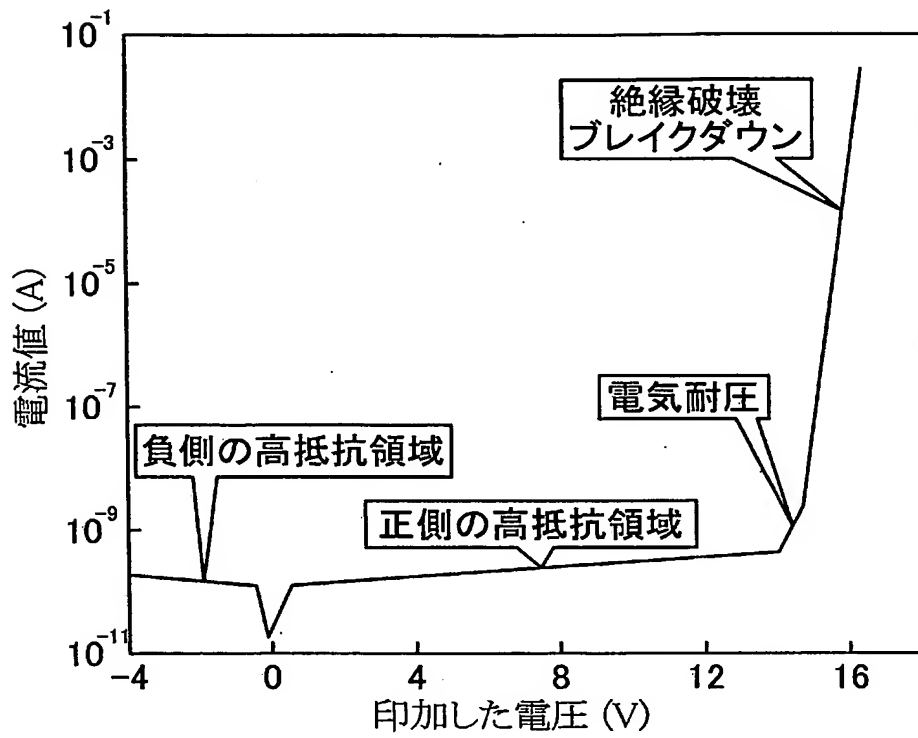




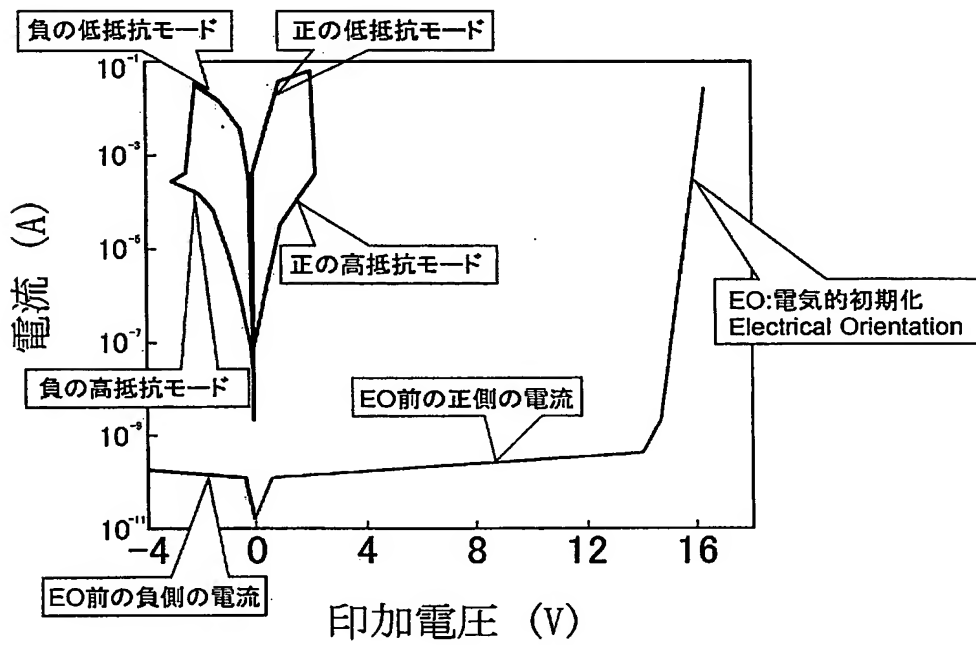
【図 2 4】

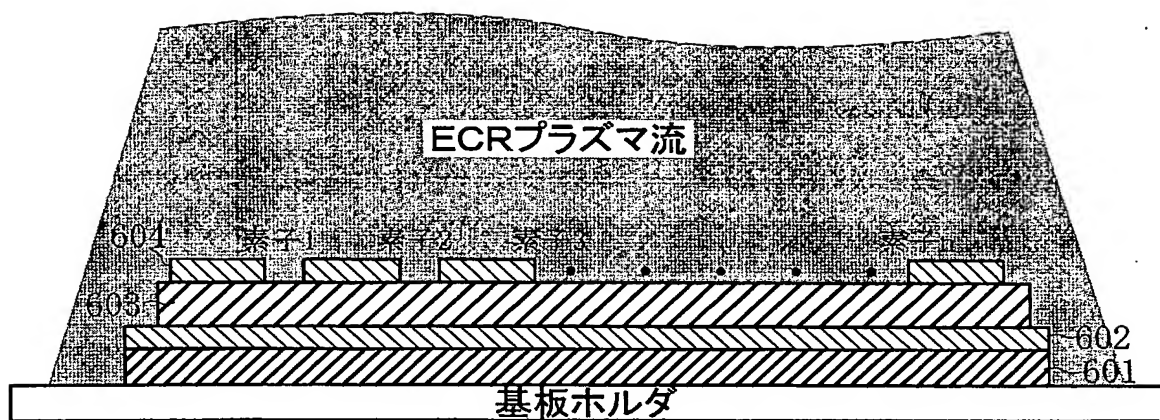




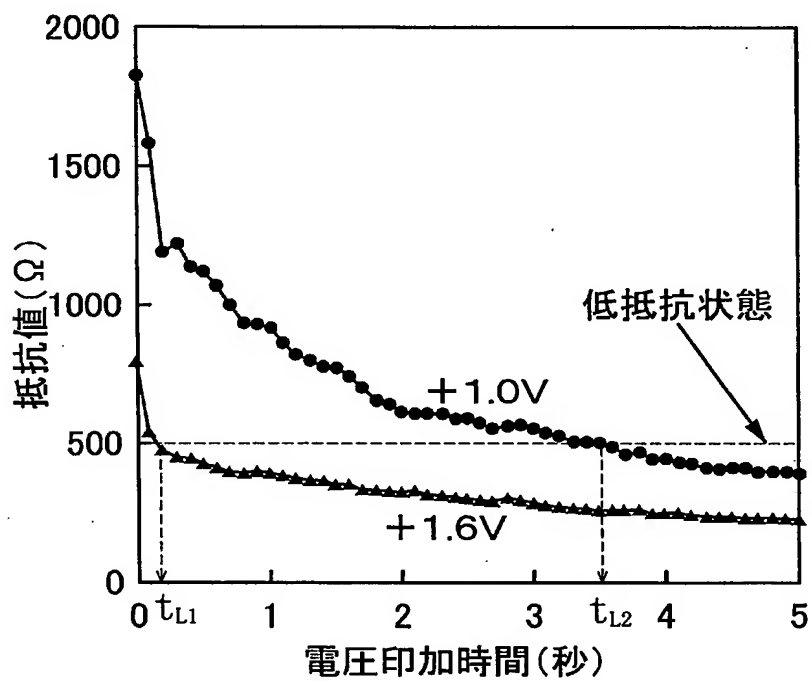


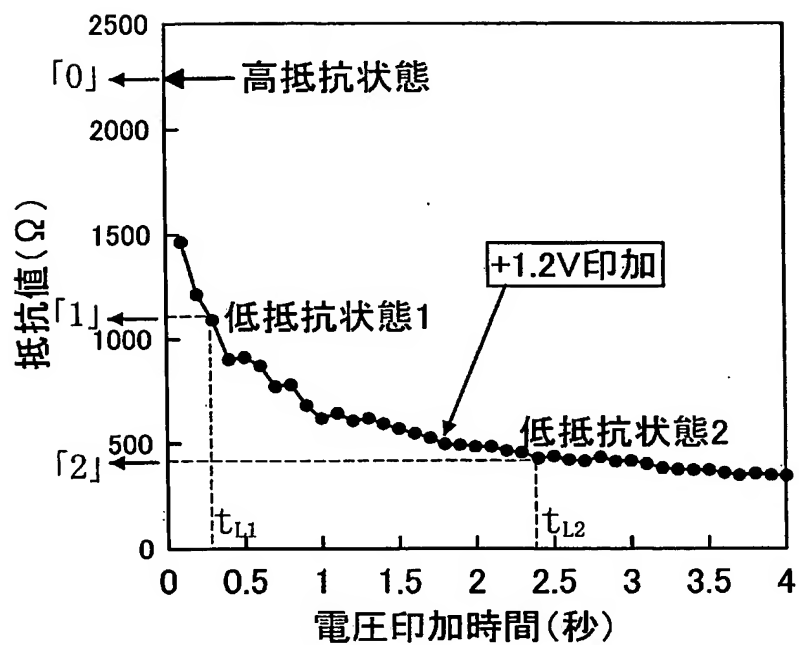
【図 27】



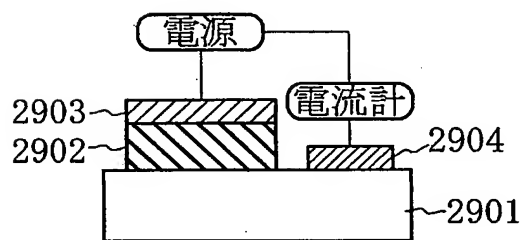


【図 2 9】





【図 3 1】



【要約】

【課題】 より安定に記憶保持が行えるメモリ装置が構成できるなど、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供する。

【解決手段】 強誘電体層 104 を下部電極層 103 と上部電極 105 とで挟み、下部電極層 103 と上部電極 105 との間に所定の電圧（DC，パルス）を印加して強誘電体層 104 の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替えれば、メモリ動作が得られる。読み出しは、上部電極 105 に、所定の電圧を印加したときの電流値を読み取ることで容易に行うことができる。

【選択図】 図 1

0 0 0 0 0 4 2 2 6

19990715

住所変更

5 9 1 0 2 9 2 8 6

東京都千代田区大手町二丁目3番1号

日本電信電話株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/013413

International filing date: 21 July 2005 (21.07.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2005-010202  
Filing date: 18 January 2005 (18.01.2005)

Date of receipt at the International Bureau: 25 August 2005 (25.08.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**